

**Title: Liquid crystal displays, manufacturing methods and driving method thereof**

Application Number 98127172 Application Date 1998.12.30

Publication Number 1224887 Publication Date 1999.08.04

**Priority information**

International Classification G02F1/1343;G02F1/136

Applicant(s) Name Samsung Electronics Co., Ltd.

**Address**

Inventor(s) Name Byung-Hoo Jung;Byung-Seong Bae

Patent Agency Code 11105 Patent Agent lu xiaozhang

**Abstract**

A LCD, a manufacture method and a drive method thereof. A source electrode and a metal pattern for a storage capacitor are formed on an insulating substrate, a silicon layer having a doped source region and a doped drain region is formed on the substrate and the source and the drain regions directly contact to the source electrode and the metal pattern. A gate insulating film is formed thereon, and a storage electrode is formed on the gate insulating film opposite the metal pattern. A passivation film covering the storage electrode is formed and the pixel electrode is formed thereon. The pixel electrode is directly connected to the drain region or to the metal pattern.

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>6</sup>

G09F 9/35

## [12]发明专利申请公开说明书

[21]申请号 98127172.3

[43]公开日 1999年8月4日

[11]公开号 CN 1224887A

[22]申请日 98.12.30 [21]申请号 98127172.3

[30]优先权

[32]97.12.31 [33]KR [31]79791/97

[32]98.1.26 [33]KR [31]2311/98

[32]98.1.26 [33]KR [31]2312/98

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 郑柄厚 黄长元 崔秉成

[74]专利代理机构 柳沈知识产权律师事务所

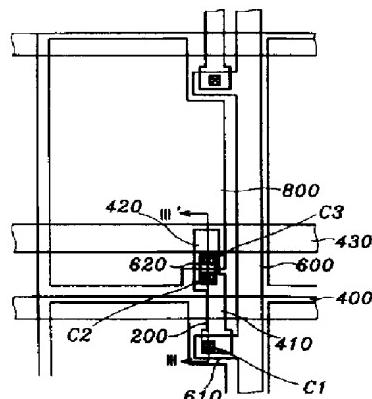
代理人 吕晓章

权利要求书 11 页 说明书 25 页 附图页数 45 页

[54]发明名称 液晶显示装置及其制造方法和驱动方法

[57]摘要

一种液晶显示装置及其制造方法和驱动方法，在绝缘衬底上形成存储电容的源电极和金属图案，衬底上形成具有掺杂的源极区和漏极区的硅层且源极区和漏极区直接与源电极和金属图案接触，其上形成栅极绝缘膜并在栅极绝缘膜上与金属图案相对形成存储电极。在存储电极上形成钝化膜及其上形成像素电极，像素电极直接与漏极区或金属图案连接。



I S S N 1 0 0 8 - 4 2 7 4

# 权 利 要 求 书

1. 一种液晶显示装置，包括：

一绝缘衬底；

5 一硅层，形成于衬底上；

一栅极绝缘膜，覆盖硅层；

一栅电极，形成于栅极绝缘膜上；和

一存储电极，形成于栅极绝缘膜上。

其中硅层包括：一掺杂的源极区；一掺杂的漏极区；未掺杂且位于源极

10 区与漏极区之间的第一区；和未掺杂且与漏极区邻接而与第一区隔开的第二区；存储电极位于第二区的对面。

2. 根据权利要求1的液晶显示装置，还包括：一源电极，接至源极区；  
和一漏电极，接至漏极区。

3. 根据权利要求2的液晶显示装置，还包括：一个层间绝缘膜，覆盖栅  
15 电极和存储电极，具有分别露出源极区和漏极区的第一接触孔和第二接触  
孔，其中源电极和漏电极形成于层间绝缘膜上并且分别通过第一接触孔和第  
二接触孔接至源极区和漏极区。

4. 根据权利要求1的液晶显示装置，其中硅层由多晶硅制成。

5. 根据权利要求1的液晶显示装置，还包括一像素电极，它电连接到漏  
20 极区上。

6. 根据权利要求5的液晶显示装置，其中栅极绝缘膜的厚度是500～  
3000Å。

7. 根据权利要求6的液晶显示装置，其中栅极绝缘膜由SiO<sub>2</sub>或SiN<sub>x</sub>制  
成。

25 8. 一种液晶显示装置的驱动方法，该液晶显示装置包括：一薄膜晶体  
管，具有含一掺杂的源极区、一掺杂的漏极区、位于源极区与漏极区之间  
的第一未掺杂区和邻接漏极区的第二未掺杂区的硅层，该薄膜晶体管还具有一  
栅电极和夹在硅层与栅电极之间的绝缘层；和一存储电极，它经绝缘层与第  
二未掺杂区相交叠，该方法包括以下步骤：

30 把用来使薄膜晶体管导通的电压施加到栅电极上；

把一显示信号电压施加到源电极上；以及

施加等于或大于薄膜晶体管阈值电压和显示信号电压最大值之和的电  
压。

9. 一种液晶显示装置的制造方法，包括以下步骤：

将一硅层形成于一绝缘衬底上；

5 形成一栅极绝缘膜，它覆盖硅层；

形成一栅电极和一存储电极，它们分别与栅极绝缘膜上的硅层相交叠；  
以及

通过用栅电极和存储电极作为掩模掺杂硅层来形成一源极区和一漏极  
区。

10 10. 根据权利要求 9 的液晶显示装置的制造方法，还包括以下步骤：

形成一个层间绝缘膜，它覆盖栅电极；

形成一源电极和一漏电极，它们分别接至源极区和漏极区；

形成一钝化膜，它覆盖源电极和漏电极；以及

形成一像素电极，它接至漏电极。

15 11. 根据权利要求 10 的液晶显示装置的制造方法，还包括以下步骤：对  
硅层进行热处理或激光热处理。

12. 根据权利要求 11 的液晶显示装置的制造方法，其中栅极绝缘膜的厚  
度是 500 ~ 3000A。

13. 根据权利要求 10 的液晶显示装置的制造方法，其中硅层由多晶硅制  
20 成。

14. 根据权利要求 13 的液晶显示装置的制造方法，其中栅极绝缘膜的厚  
度是 500 ~ 3000A。

15. 一种液晶显示装置，包括：

一绝缘衬底；

25 第一金属图案，形成于衬底上；

第二金属图案，由与第一金属图案相同的层制成，并且与第一金属图案  
隔开；

一硅层，形成于第一金属图案和第二金属图案之上，包括分别接至第一  
金属图案和第二金属图案的一源极区和一漏极区；

30 一栅极绝缘膜，覆盖硅层；

一栅电极，形成于栅极绝缘层上，并且位于源极区和漏极区之间；和

一存储电极，形成于栅极绝缘膜上，并且位于第二金属图案对面。

16. 根据权利要求 15 的液晶显示装置，还包括一接至漏极区的像素电极。

17. 根据权利要求 16 的液晶显示装置，其中该像素电极与存储电极相交叠并且与之相绝缘。  
5

18. 根据权利要求 17 的液晶显示装置，其中存储电极由与栅电极相同的材料制成。

19. 根据权利要求 15 的液晶显示装置，还包括一接至第二金属图案的像素电极。

10 20. 根据权利要求 19 的液晶显示装置，其中该像素电极与存储电极相交叠并且与之相绝缘。

21. 根据权利要求 19 的液晶显示装置，其中存储电极由与栅电极相同的材料制成。

22. 根据权利要求 15 的液晶显示装置，其中硅层由多晶硅制成。

15 23. 一种液晶显示装置的制造方法，包括以下步骤：

在一绝缘衬底上形成一源电极和一金属图案；

形成一硅层，它与源电极和金属图案相交叠；

形成一栅极绝缘膜，它覆盖硅层；

形成一栅图案，它包括一存储电极和一栅电极，与栅极绝缘膜相交叠；

20 以及

通过借助作为掩模的栅图案掺杂硅层来形成一源极区和一漏极区。

24. 根据权利要求 23 的液晶显示装置的制造方法，还包括以下步骤：

形成一钝化膜，它覆盖栅图案；以及

形成一透明电极，它接至漏极区。

25 25. 根据权利要求 23 的液晶显示装置的制造方法，还包括以下步骤：对硅层进行热处理或激光热处理。

26. 根据权利要求 24 的液晶显示装置的制造方法，其中硅层由多晶硅制成。

27. 一种液晶显示装置，包括：

30 一绝缘衬底；

一硅层，形成于衬底上，并且包括一源极区和一漏极区以及位于源极区

- 与漏极区之间的沟道区；
- 一栅极绝缘膜，覆盖硅层；
- 一栅电极和一存储电极，它们形成于栅极绝缘膜上；
- 一个层间绝缘膜，它覆盖栅电极和存储电极，具有位于存储电极之上的  
5 第一部分，该第一部分的厚度比层间绝缘膜其余部分的厚度小；以及
- 一像素电极，它接至漏极区，并且形成于存储电极对面的层间绝缘膜之  
上。
28. 根据权利要求 27 的液晶显示装置，还包括：形成于层间绝缘膜上的一源电极和一漏电极，其中在层间绝缘膜和栅极绝缘膜中形成第一接触孔和  
10 第二接触孔，第一接触孔和第二接触孔分别露出源极区和漏极区，源电极和漏电极通过第一接触孔和第二接触孔接至源极区和漏极区。
29. 根据权利要求 28 的液晶显示装置，还包括：一钝化膜，它覆盖源电极和漏电极，其中该钝化膜绝缘第三接触孔和一通孔，第三接触孔露出漏电极，通孔露出层间绝缘膜，像素电极通过第三接触孔接至漏电极。
- 15 30. 根据权利要求 27 的液晶显示装置，其中层间绝缘膜第一部分的厚度是 500 ~ 3000A。
31. 根据权利要求 27 的液晶显示装置，其中硅层由多晶硅制成。
32. 一种液晶显示装置，包括：
- 一绝缘衬底；
- 20 一硅层，形成于衬底上，并且包括一源极区和一漏极区以及位于源极区与漏极区之间的沟道区；
- 一栅极绝缘膜，覆盖硅层；
- 一栅电极，形成于沟道区对面的栅极绝缘膜上；
- 一个存储电极，它们形成于栅极绝缘膜上；
- 25 一个层间绝缘膜，它覆盖栅电极和存储电极，包括下绝缘膜和上绝缘膜；和
- 一像素电极，它电连接到漏极区，并且形成于存储电极对面的层间绝缘膜之上，  
其中去除存储电极对面的上绝缘膜的一部分。
- 30 33. 根据权利要求 31 的液晶显示装置，其中在栅电极和存储电极上只形成第一绝缘膜。

34. 根据权利要求 33 的液晶显示装置，还包括：一源电极和一漏电极，它们形成于层间绝缘膜上，其中在层间绝缘膜和栅极绝缘膜中形成第一接触孔和第二接触孔，第一接触孔和第二接触孔分别露出源极区和漏极区，源电极和漏电极通过第一接触孔和第二接触孔接至源极区和漏极区。

5 35. 根据权利要求 33 的液晶显示装置，还包括：一钝化膜，它覆盖源电极和漏电极，其中该钝化膜绝缘第三接触孔和一通孔，第三接触孔露出漏电极，通孔露出第一绝缘膜，像素电极通过第三接触孔接至漏电极。

36. 根据权利要求 34 的液晶显示装置，其中第一绝缘膜的厚度是 500 ~ 3000A。

10 37. 一种液晶显示装置的制造方法，包括以下步骤：

在一绝缘衬底上形成一硅层；

形成一栅极绝缘膜，它覆盖硅层；

在栅极绝缘膜上形成一栅电极和一存储电极；

淀积一层间绝缘膜，它覆盖栅电极和存储电极；

15 部分蚀刻层间绝缘膜，以减小存储电极对面的层间绝缘膜第一部分的厚度；以及

在层间绝缘膜上形成一像素电极。

38. 根据权利要求 37 的液晶显示装置的制造方法，其中第一部分减小后的厚度是 500 ~ 3000A。

20 39. 根据权利要求 37 的液晶显示装置的制造方法，还包括以下步骤：通过用栅电极作为掩模掺杂硅层来形成源极区和漏极区。

40. 根据权利要求 37 的液晶显示装置的制造方法，其中层间绝缘膜具有一双叠层结构，它包括蚀刻率不同的上层和下层。

41. 根据权利要求 40 的液晶显示装置的制造方法，其中层间绝缘膜的上25 层由具有与钝化膜相同蚀刻率的材料制成。

42. 根据权利要求 41 的液晶显示装置的制造方法，其中去除存储电极对面的上层。

43. 根据权利要求 42 的液晶显示装置的制造方法，其中下层的厚度是 500 ~ 3000A。

30 44. 一种液晶显示装置的制造方法，包括以下步骤：

在一绝缘衬底上形成一硅层；

形成一栅极绝缘膜，它覆盖在硅层上；  
在栅极绝缘膜上形成一栅电极和一存储电极；  
形成一层间绝缘膜，它覆盖栅电极和存储电极；  
在层间绝缘膜上淀积一钝化膜；  
5 蚀刻钝化膜，以露出存储电极上的层间绝缘膜的一部分；以及  
在钝化膜和层间绝缘膜上形成一像素电极。

45. 根据权利要求 44 的液晶显示装置的制造方法，还包括以下步骤：蚀刻层间绝缘膜的该部分，以减小该部分的厚度。

46. 根据权利要求 45 的液晶显示装置的制造方法，其中层间绝缘膜该部  
10 分的减小后的厚度是 500 ~ 3000A。

47. 根据权利要求 45 的液晶显示装置的制造方法，其中层间绝缘膜具有  
一双叠层结构，它包括蚀刻率不同的上层和下层。

48. 根据权利要求 47 的液晶显示装置的制造方法，其中双叠层结构的上  
层由具有与钝化膜相同蚀刻率的材料制成。

15 49. 根据权利要求 48 的液晶显示装置的制造方法，还包括以下步骤：通  
过用栅电极作为掩模掺杂硅层来形成一源极区和一漏极区。

50. 一种液晶显示装置的制造方法，包括以下步骤：

在一绝缘衬底上形成一硅层；

形成一栅极绝缘膜，它覆盖在硅层上；

20 按顺序在栅极绝缘膜上淀积第一金属模和第一层间绝缘膜；  
对第一层间绝缘膜制作图案；  
通过去除未被制作图案后的第一层间绝缘膜所覆盖第一金属模的那些  
部分，形成一栅电极和一存储电极；

形成第二层间绝缘膜；以及

25 形成一像素电极。

51. 根据权利要求 50 的液晶显示装置的制造方法，还包括以下步骤：

在第二层间绝缘膜上淀积一钝化膜；以及

蚀刻存储电极对面的钝化膜，

其中像素电极形成于钝化膜上。

30 52. 根据权利要求 51 的液晶显示装置的制造方法，其中第二层间绝缘膜  
由具有与钝化膜相同蚀刻率的第一材料制成。

53. 根据权利要求 52 的液晶显示装置的制造方法，其中第一层间绝缘膜由蚀刻率比第一材料更低的第二材料制成。
54. 根据权利要求 53 的液晶显示装置的制造方法，其中在蚀刻钝化膜的步骤中，去除存储电极对面的第二层间绝缘膜。
- 5 55. 根据权利要求 54 的液晶显示装置的制造方法，其中第一层间绝缘膜的厚度是 500 ~ 3000A。
56. 根据权利要求 50 的液晶显示装置的制造方法，还包括以下步骤：通过用栅电极作为掩模掺杂硅层来形成一源极区和一漏极区。
57. 一种液晶显示装置，包括：  
10 一绝缘衬底；  
一硅层，形成于衬底上；  
一栅极绝缘膜，覆盖硅层；  
一栅电极，形成于栅极绝缘膜上；和  
一存储电极，形成于栅极绝缘膜上，  
其中硅层包括一掺杂的源极区、一掺杂的漏极区、位于源极区和漏极区之间的未掺杂的沟道区、邻接沟道区且与其隔开的未掺杂的存储区以及邻接存储区而接至漏极区的第一掺杂区，其中存储电极位于存储电极的对面。  
15 58. 根据权利要求 57 的液晶显示装置，其中施加到存储区上的电压等于或者大于阈值电压一施加到漏极区上最大电压之和。
- 20 59. 根据权利要求 58 的液晶显示装置，还包括第二掺杂区，它邻接存储电极，而与漏极区和第一掺杂区隔开。
60. 根据权利要求 59 的液晶显示装置，还包括电连接到漏极区的像素电极。
- 25 61. 根据权利要求 60 的液晶显示装置，其中该像素电极在多个位置上接至第一掺杂区。
62. 根据权利要求 61 的液晶显示装置，还包括一绝缘膜，它覆盖存储电极，其中像素经绝缘膜与存储电极相交叠。
63. 根据权利要求 61 的液晶显示装置，其中有露出第一区和像素电极的多个接触孔，第一掺杂区通过这些接触孔接至像素电极。
- 30 64. 根据权利要求 60 的液晶显示装置，其中像素电极接至第二掺杂区。
65. 根据权利要求 64 的液晶显示装置，还包括夹在存储电极与像素电极

之间的绝缘层，其中栅极绝缘膜具有露出第二掺杂区的第一接触孔，像素电极通过第一接触孔接至第二掺杂区。

66. 根据权利要求 65 的液晶显示装置，其中栅极绝缘膜具有露出第一掺杂区的多个第二接触孔，像素电极通过这些第二接触孔接至第一掺杂区。

5 67. 根据权利要求 65 的液晶显示装置，其中栅极绝缘膜具有露出第二掺杂区的多个第三接触孔，像素电极通过这些第三接触孔接至第二掺杂区。

68. 根据权利要求 60 的液晶显示装置，其中像素电极与存储电极相交叠，并且与其相绝缘。

10 69. 根据权利要求 60 的液晶显示装置，还包括一覆盖存储电极的层间绝缘膜和形成于该层间绝缘膜上的第一金属图案与第二金属图案，第一金属图案与第二金属图案分别接至第一掺杂区和第二掺杂区。

70. 根据权利要求 69 的液晶显示装置，其中第一金属图案接至第二金属图案。

15 71. 根据权利要求 69 的液晶显示装置，其中栅极绝缘膜具有露出第一掺杂区和第二掺杂区的多个接触孔，第一掺杂区和第二掺杂区通过这些接触孔接至第一金属图案和第二金属图案。

72. 根据权利要求 71 的液晶显示装置，还包括一钝化膜，它覆盖第一金属图案和第二金属图案，其中像素电极形成于该钝化膜上，并且与存储电极相交叠。

20 73. 一种液晶显示装置，包括：

一绝缘衬底；

一硅层，形成于衬底上，并且包括一掺杂的源极区、一掺杂的漏极区、位于源极区和漏极区之间的未掺杂的沟道区；

一栅极绝缘膜，覆盖硅层；

25 一栅电极，形成于栅极绝缘膜上并且位于沟道区对面；

第一存储电极，形成于栅极绝缘膜上；

一存储电容器的第一层间绝缘膜，覆盖第一存储电极；

第二电极，形成于第一层间绝缘膜上；和

一像素电极，它电连接到漏极区上，并且与第二存储电极相接触。

30 74. 根据权利要求 73 的液晶显示装置，其中对第一层间绝缘膜和第二存储电极制作图案，使它们具有第一存储电极的形状。

75. 根据权利要求 74 的液晶显示装置，还包括：第二层间绝缘膜，它覆盖栅电极、第二存储电极和栅极绝缘膜；和一源电极以及一漏电极，它们通过形成于层间绝缘膜和栅极绝缘膜中的第一接触孔和第二接触孔分别接至源极区和漏极区。

5 76. 根据权利要求 75 的液晶显示装置，还包括：一钝化膜，它覆盖源电极和漏电极，其中该钝化膜和第二层间绝缘膜具有露出漏电极的第三接触孔和露出第二存储电极的一个通孔，像素电极通过第三接触孔接至漏电极，而通过通孔接至第二存储电极。

10 77. 根据权利要求 76 的液晶显示装置，其中把第二存储电极制成一个双叠层结构或者一个多层次结构，双叠层结构或者多层次结构的最上层具有比钝化膜和层间绝缘膜更低的蚀刻率。

78. 根据权利要求 77 的液晶显示装置，其中最上层由 Mo、Cr 或 Nd 制成。

15 79. 根据权利要求 78 的液晶显示装置，其中源电极和漏电极由 Ti 或 TiN 制成。

80. 根据权利要求 74 的液晶显示装置，其中第一层间绝缘膜的厚度是 500 ~ 3000A。

81. 根据权利要求 80 的液晶显示装置，其中第一层间绝缘膜具有一个双叠层结构，它包括一 SiO<sub>2</sub> 膜和一 SiNx 膜。

20 82. 根据权利要求 80 的液晶显示装置，其中第一层间绝缘膜具有一个三叠层结构，它包括一 SiO<sub>2</sub> 膜、一 SiNx 膜和一 SiO<sub>2</sub> 膜。

83. 根据权利要求 75 的液晶显示装置，其中栅电极和第一存储电极包括一个 Al 制成的下层和一个 Ti 制成的上层。

84. 一种液晶显示装置的制造方法，包括以下步骤：

25 在一绝缘衬底上形成一硅层；

形成一栅极绝缘膜，它覆盖硅层；

按顺序淀积一选通导线的第一金属膜、第一层间绝缘膜和一存储电容器的第二金属膜；

30 对第一金属膜、第一层间绝缘膜和第二金属膜同时制作图案，以形成包括第一电极、第一层间绝缘膜图案和第二电极以及一栅电极的存储电容器，第一层间绝缘膜图案形成于第一电极上，第二电极形成于第一层间绝缘膜图

案上；

通过用栅电极作为掩模将离子注入硅层中来形成一掺杂的源极区和一掺杂的漏极区；以及

形成电连接到存储电容器和漏极区上的像素电极。

5 85. 根据权利要求 84 的液晶显示装置的制造方法，还包括以下步骤：

淀积第二层间绝缘膜，它覆盖栅电极和存储电容器；

蚀刻第二层间绝缘膜，以形成露出源极区和漏极区的接触孔；

形成一源电极和一漏电极，它们通过上述接触孔接至源极区和漏极区；

淀积一钝化膜，它覆盖源电极和漏电极；以及

10 蚀刻一钝化膜，以露出漏电极。

86. 根据权利要求 85 的液晶显示装置的制造方法，其中第二层间绝缘膜由具有与钝化膜相同蚀刻率的材料制成。

87. 根据权利要求 86 的液晶显示装置的制造方法，其中在蚀刻钝化膜的步骤中，蚀刻第二电极对面的第二层间绝缘膜。

15 88. 根据权利要求 87 的液晶显示装置的制造方法，其中将第二金属膜制  
成多叠层结构，该多叠层结构最上层的蚀刻率比第二层间绝缘膜和钝化膜的  
蚀刻率低。

89. 根据权利要求 88 的液晶显示装置的制造方法，其中多叠层膜的最上  
层由 Cr、Mo 或 Nd 制成。

20 90. 根据权利要求 84 的液晶显示装置的制造方法，其中第一层间绝缘膜  
图案具有双叠层结构，它包括一  $\text{SiO}_2$  膜和一  $\text{SiN}_x$  膜。

91. 根据权利要求 90 的液晶显示装置的制造方法，其中第一层间绝缘膜  
图案的厚度是 500 ~ 2500A。

25 92. 根据权利要求 84 的液晶显示装置的制造方法，其中第一层间绝缘膜  
图案是三叠层结构，它包括一  $\text{SiO}_2$  膜、一  $\text{SiN}_x$  膜和  $\text{SiO}_2$  膜。

93. 根据权利要求 92 的液晶显示装置的制造方法，其中第一第一层间绝  
缘膜图案的厚度是 500 ~ 2500A。

94. 根据权利要求 84 的液晶显示装置的制造方法，其中第一金属膜是双  
叠层结构，它包括一铝膜和一钛膜。

30 95. 根据权利要求 85 的液晶显示装置的制造方法，其中形成露出源极区  
和漏极区的接触孔的步骤包括以下步骤：

蚀刻钝化膜，形成第一接触孔、第二接触孔和第三接触孔，它们分别露出源极区、漏极区和栅电极；

5 蚀刻栅电极对面的第二金属膜，形成含第三接触孔的第四接触孔；以及  
蚀刻源极区和漏极区对面的栅极绝缘膜，并蚀刻栅电极对面的第一层间  
绝缘膜，形成第五接触孔、第六接触孔和第七接触孔，第五接触孔、第六接  
触孔和第七接触孔分别包括第一接触孔、第二接触孔和第三接触孔。

96. 根据权利要求 85 的液晶显示装置的制造方法，其中源电极和漏电极  
由 Ti 或 TiN 制成。

# 说 明 书

## 液晶显示装置及其制造 方法和驱动方法

5

本发明涉及含存储电容器的液晶显示装置及其制造方法和驱动方法。

通常，薄膜晶体管液晶显示装置(TFT-LCD)包括传输显示信号的数据线、传输扫描信号的选通线、作为开关器件的薄膜晶体管(TFT)、液晶电容器和存储电容器。根据存储电容器的结构可将 TFT-LCD 分为两种模式。一种 10 模式有一接至存储电极的隔离存储线，而另一种模式将存储电容器接至前一条选通线。

以下将描述在前一模式下驱动 LCD 的原理和一种传统结构。

图 1 是一传统 LCD 的等效电路图。

多条选通线 G1 和 G2 与多条数据线 D1、D2 和 D3 分别沿水平方向和 15 垂直方向延伸。选通线 G1 和 G2 与数据线 D1、D2 和 D3 相交以限定多个像素。存储线 COM1 和 COM2 穿过各像素，每个像素中形成一个 TFT。TFT 的栅电极(g)接至选通线 G1 和 G2，该 TFT 的源电极和漏电极(s 和 d)分别接至数据线和液晶电容器(LC)。漏电极(d)接至存储线 COM1 或 COM2 以形成存储电容器(STG)。

若通过选通线 G1 将选通电压加到 TFT 的栅电极(g)上，则经 TFT 把来自 20 数据线的显示信号电压传输给像素并在液晶电容器(LC)和存储电容器(STG)中充电。保持该充电电压，直到将下一帧中下一个选通电压加到像素中为止。通常，当栅极电压从开电平转到关电平时，充电电压稍有下降。存储电容器减小这一压降。

TFT 具有作为有源层的未晶硅层或多晶硅层，根据栅电极和有源层之间的相对位置，将它们分为上栅极模式和下栅极模式。在 TFT 具有多晶硅层的情况下，主要采用上栅模式。

传统多晶硅 TFT-LCD 的一种存储电容器包括硅层中的掺杂存储区、与 30 该存储区相交叠的存储电极和夹在二者之间的栅极绝缘膜。另外，用存储电极、与存储电极相交叠的像素电极和含夹在像素电极与存储电极之间的层间绝缘膜和钝化膜的电介质形成另一种存储电容器。但是，像素电极和存储电

极之间的电容较小，可忽略不计，原因在于层间绝缘膜和钝化膜各自约为 5000A 的厚度远大于栅极绝缘膜 500 ~ 3000A 的厚度。

在该传统结构中，要求增加离子注入步骤以形成存储区。换句话说，要求有以下步骤，即：淀积感光膜；利用掩模对感光膜制作图案以形成开口；通过开口将离子注入硅层和对注入的离子进行热处理。

因此，本发明的一个目的在于，通过在形成 TFT 和存储电容器的步骤中去掉光刻和离子注入的步骤来减少制造步骤。

本发明的另一个目的在于得到一个足够大的存储电容。

本发明还一目的在于减少像素间的存储电容差。

本发明的再一目的在于减小存储区中的有效电阻，存储区用作存储电容器的一个电极。

为实现这些目的，根据本发明的一种 LCD 的硅层包括：掺杂的源极区，掺杂的漏极区，未掺杂的沟道区和未掺杂的存储电容器区。沟道区位于源极区和漏极区之间，存储电容器区邻接漏极区。在硅层上形成栅极绝缘膜，在沟道区对面的栅极绝缘膜上形成栅电极，在存储电容器区对面形成一存储电极。换句话说，一存储电容器包括存储电容器区、存储电极和夹在其间的栅极绝缘膜。由于存储电容器区未掺杂，所以通过向存储电极施加等于或大于 TFT 阈值电压与显示信号电压最大值之和的电压，可以使用该存储电容器。

通过形成一硅层和一栅极绝缘膜、形成一栅电极和一存储电极以及用栅电极和存储电极作为掩模将离子注入硅层来制造 LCD。

为实现上述目的，在根据本发明的另一种 LCD 中，形成一源电极的金属图案和存储电极的金属图案，在两图案上形成一硅层。掺杂接触这些图案的硅层各区，使它们变成源极区和漏极区。在硅层和存储电极的金属图案上形成一栅极绝缘膜，在存储电极金属图案对面的栅极绝缘膜上形成一存储电极。换句话说，一存储电容器包括存储电极的金属图案、存储电极和夹在其间的栅极绝缘膜。

由于在存储电极上形成一钝化膜，并且在存储电极对面的钝化膜上形成一像素电极，所以可以形成包括像素电极、存储电极和钝化膜的另一存储电容器。

像素电极可以接触硅层的漏极区和存储电极的金属图案。

在该制造方法中，通过形成由数据导线的金属制成的存储电极金属图

案，然后在存储电极的金属图案上形成一硅层，就省去了形成接触孔以便将一硅层连接到存储电极的金属图案上的步骤。

为实现上述目的，在根据本发明的另一 LCD 中，在一栅极绝缘膜上形成一栅电极和一存储电极，该栅极绝缘膜形成于一绝缘衬底上，一个层间绝缘膜覆盖栅电极和存储电极。在层间绝缘膜上形成一钝化膜。由于去除了钝化膜的特定厚度以及存储电极上的层间绝缘膜，所以可以使存储电容器的电介质厚度更薄，即，可以使电容增大。

可以对层间绝缘膜采用双叠层结构或三叠层结构，以使厚度均匀。这样，最上层由具有与钝化膜类似蚀刻率的材料制成，而下层由具有比最上层更小蚀刻率的材料制成，以便去除最上层，而在去除存储电极之上的钝化膜的步骤中保留其它层。

为实现上述目的，根据本发明的 LCD 的硅层包括：一掺杂的源极区和漏极区、一未掺杂的沟道区、一掺杂的存储电容器区和分区。沟道区位于源极区和漏极区之间，存储区邻接漏极区而与沟道区隔开，分区邻接存储电容器区的边缘并接至漏极区。在硅层上形成一栅极绝缘膜，在各个沟道区和存储电容器区对面的栅极绝缘膜上形成一栅电极和一存储电极。换句话说，一存储电容器包括存储电容器区、存储电极和夹在其间的栅极绝缘膜。由于未掺杂，所以在截止状态下不能将存储电容器区用作一存储电容器的一个电极，但在导通状态下可将其用作一存储电容器的一个电极，其中在导通状态下，把等于或大于 TFT 阈值电压与图像信号最大值之和的电压施加到存储电极上。在该结构中，由于分区变成传输电荷路径的一部分，所以累积层的电阻减小。

通过形成一硅层和一栅极绝缘膜、于其上形成一栅电极和一存储电极、以及然后用栅电极和存储电极作为掩模将离子注入硅层中，可以制造这种 LCD。

为实现上述目的，在本发明的另一种 LCD 中，在一绝缘衬底上形成一硅层，一栅极绝缘膜覆盖该硅层，该硅层包括一掺杂的源极区和漏极区以及夹在源极区与漏极区之间的未掺杂的沟道区。在沟道区对面的栅极绝缘膜上形成一栅电极，并且形成一存储电容，该存储电容包括：由选通导线的金属制成的下存储电容器电极；该存储电容器电极上的绝缘膜和该绝缘膜上的上存储电容器电极。把上存储电容器电极接至一透明像素电极。

要求形成上、下存储电容器电极和具有同样图案的绝缘膜。

此外，上、下存储电容器电极和夹在其间的绝缘膜中的每一个都可以是双叠层或多叠层。

在以上 LCD 的制造方法中，通过以下步骤制造存储电容器：按顺序淀积一选通导线的金属膜、存储电容器的绝缘膜和存储电容器的金属膜；对三层膜制作图案以形成一存储电容器和包括栅电极的选通导线；用栅电极作为掩模将离子注入一硅层中以形成一源极区和一漏极区；以及形成与存储电容器金属相接触的透明像素电极。

可以在存储电容器之上淀积一层间绝缘膜和一钝化膜。最好是通过把层间绝缘膜和钝化膜作为具有相同蚀刻率的材料同时去除层间绝缘膜和钝化膜的一部分，以露出存储电容器的金属膜。存储电容器的金属膜在蚀刻步骤中起阻蚀刻层的作用。

如上所述，由于存储电容器由上、下存储电容器电极和厚度较薄的绝缘膜构成，所以可以获得足够大的存储电容。由于像素中绝缘膜的厚度均匀，所以可以减小像素间的存储电容差。此外，由于无需将离子注入硅层以形成一存储电极，所以制造过程变得简单。

图 1 是一传统液晶显示装置(LCD)的等效电路图；

图 2 是根据本发明第一实施例的 LCD 布局图；

图 3 是沿图 2 中的线 III-III' 所取的断面图；

图 4 表示在根据第一实施例的 LCD 中形成一存储电容器的原理；

图 5A 至 5J 是根据第一实施例图 2 和 3 中所示 LCD 中间结构的断面图；

图 6 是根据本发明第二实施例的 LCD 布局图；

图 7 是沿图 6 中的线 VII-VII' 所取的断面图；

图 8 是沿图 7 中的线 VIII-VIII' 所取的断面图；

图 9 是根据本发明第三实施例的 LCD 布局图；

图 10 是沿图 9 中的线 X-X' 所取的断面图；

图 11A 到 11H 是根据第二实施例图 6 和 7 所示 LCD 的中间结构断面图；

图 12 是根据本发明第四到第六实施例的 LCD 布局图；

图 13 到 15 是沿分别根据第四到第六实施例的图 2 中的线 XIII-XIII' 所取的断面图；

图 16A 到 16H 是根据本发明第四实施例图 13 所示的 LCD 中间结构断面

图；

图 17A 到 17F 是根据本发明第五实施例图 14 所示的 LCD 中间结构断面图；

图 18A 到 18D 是根据本发明第六实施例图 15 所示的 LCD 中间结构断面图；

图 19 是根据本发明第七实施例的 LCD 布局图；

图 20 是沿图 19 中的线 XX-XX' 所取的断面图；

图 21 是仅示出图 19 中一层硅层、一条存储线和一个栅电极的布局图；

图 22 是根据本发明第八实施例的 LCD 布局图；

图 23 是沿图 22 中的线 XXII-XXII' 所取的断面图；

图 24 是根据第八实施例的 LCD 断面图，其中示意性地表示出形成存储电容器的原理；

图 25 和 26 示出施加到根据第八实施例的 LCD 上的信号电压波形；

图 27 说明作为存储电压函数的存储电容的变化；

图 28 说明当在第八实施例中显示信号电压的最大值是 10V 而 TFT 的阈值电压是 3.5V 时，10V 和 14V 存储电压下存储电容器的充电特性；

图 29A 到 29J 是根据第八实施例图 22 和 23 所示的 LCD 中间结构断面图；

图 30 是根据本发明第七和第八实施例的 LCD 等效电路图；

图 31 是一布局图，它示出根据本发明第九实施例的 LCD 的一层硅层、一条存储线和一个栅电极；

图 32 说明根据图 21 和 31 所示第七和第九实施例的像素充电特性；

图 33 是根据本发明第九实施例的 LCD 等效电路图；

图 34 是根据本发明第十实施例的 LCD 布局图；

图 35 是沿图 34 中的线 XXXV-XXXV' 所取的断面图；

图 36 是根据本发明第十一实施例的 LCD 布局图；

图 37 是沿图 36 中的线 XXXVII-XXXVII' 所取的断面图；

图 38 是根据本发明第十一实施例的 LCD 等效电路图；

图 39 和 40 是根据本发明第十二和十三实施例的 LCD 布局图；

图 41 是根据本发明第十四实施例的 LCD 布局图；

图 42 是沿图 41 中的线 XLII-XLII' 所取的断面图；

图 43 是根据本发明第十五实施例的 LCD 布局图；  
图 44 是沿图 43 中的线 XLIV-XLIV' 所取的断面图；  
图 45 是根据本发明第十六实施例的 LCD 布局图；  
图 46 是沿图 45 中的线 XLVI-XLVI' 所取的断面图；  
5 图 47 是根据本发明第十七实施例的 LCD 布局图；  
图 48 是沿图 47 中的线 XLVIII-XLVIII' 所取的断面图；  
图 49 是图 48 中部分 P 的放大图；  
图 50 是根据本发明第十八实施例的 LCD 布局图；  
图 51 是沿图 50 中的线 LI-LI' 所取的断面图；  
10 图 52A 到 52K 是根据本发明第十七实施例图 47 和 48 所示的 LCD 中间结构断面图；  
图 53A 到 53C 是图 52G 中所示结构的中间结构断面图。

下文将参照附图更完整地描述本发明，附图中示出本发明的优选实施例。不过，本发明可以以不同的方式实现，而并不应把本发明视为限定于这里所述的实施例。更确切地说，提供这些实施例以便使本公开内容详尽和完整，对于本领域的那些技术人员来说，这些实施例完全地表达了本发明的范围。附图中，为清楚起见，扩大了层和区的厚度。

以下将描述根据第一实施例的液晶显示装置(LCD)的结构和驱动方法。

在第一实施例中，位于存储电极对面的硅层保持未掺杂状态，起存储电容器的一个电极的作用。

图 2 是根据本发明第一实施例的 LCD 布局图，图 3 是沿图 2 中的线 III-III' 所取的断面图。

如图 2 和 3 所示，在绝缘衬底 100 上形成多晶硅层 200，在衬底 100 上形成  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的栅极绝缘膜 300，厚度为  $500 \sim 3000\text{\AA}$ 。

25 在栅极绝缘膜 300 上形成包括 Al、Cr 或 MoW 制成单层或双层的选通线 400，它沿水平方向延伸。选通线 400 与硅层 200 相交，选通线 400 与硅层 200 相交的部分 410 起一栅电极的作用。由与选通线 400 相同的层制成的存储电极线 430 平行于选通线 400 延伸，与硅层 200 相交。存储电极线 430 与硅层 200 相交的部分 420 起一存储电极的作用。

30 位于栅电极 410 对面的硅层 200 的部分 220 未掺杂，而位于未掺杂区 220 外部的源极区 210 和漏极区 230 掺杂有 n 型掺杂物。与漏极区 230 邻接且位

于存储电极 420 之下的区域 240 受到掺杂，称之为“存储区”。

由  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的层间绝缘膜 500 覆盖住含选通线 400 和存储电极线 430 的选通导线，其厚度为  $3000 \sim 10000\text{\AA}$ 。将接触孔 C1 和 C2 做在栅极绝缘膜 300 和层间绝缘膜 500 中，露出源极区 210 和漏极区 230。

由 Cr 或 Mo 制成的数据线 600 形成于层间绝缘膜 500，沿垂直方向延伸。源电极 610 从数据线 600 伸出，与硅层 200 的源极区 210 相交叠，而漏电极 620 形成于层间绝缘膜 500 上，相对于选通线 400 位于源电极 610 的对侧，并与漏极区 240 相交叠。源电极 610 和漏电极 620 分别通过接触孔 C1 和 C2 接至源极区 210 和漏极区 230。

由  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的钝化膜 700 覆盖住含数据线 600 和源电极 610 及漏电极 620 的数据导线，其厚度为  $3000 \sim 10000\text{\AA}$ 。由铟锡氧化物制成的透明像素电极 800 形成于其上，并位于数据线 600 和选通线 400 所包围的区域中。像素电极 800 通过做在钝化膜 700 中的通孔 C3 接至漏电极 620，与存储电极线 430 相交叠。在反射型 LCD 的情况下，像素电极 800 可以不透明。

在包括存储区 240、存储电极 420 和栅极绝缘膜 300 的存储电容器的结构中，由于存储区 240 未掺杂，所以需要一种专门的驱动方法来得到该存储电容器。

图 4 是一断面图，示意性示出把等于或大于 TFT 阈值电压  $V_{th}$  与显示信号电压之和的电压  $V$  加到存储电极上的情况。

若将一选通电压加到栅电极 410 上，则在源极区 210 和漏极区 230 之间产生传递电子的沟道，通过该沟道将一显示信号电压加到像素电极 800 上。将一直流或交流  $V$  加到存储电极 420 上。

在施加到存储电极 420 上的电压  $V$  等于或大于 TFT 阈值电压  $V_{th}$  与显示信号电压最大值之和的情况下，电荷累积层 241 形成于未掺杂的存储区 240 的表面附近。因此，该累积层 241 即使电阻很大也可导电，起存储电极的作用。

如上所述，由于未掺杂的硅区 240 可用作存储电容器的一个电极，所以可在 LCD 制造过程中减少一个掺杂步骤。

下面，将参照图 2、5A 到 5J 描述根据第一实施例的 LCD 制造方法。

图 5A 至 5J 是根据第一实施例的图 2 和 3 中所示 LCD 中间结构的断面图。

如图 2 和图 5A 所示，多晶硅层 200 形成于绝缘衬底 100 上。可对硅层 200 进行热处理或激光热处理以改善硅层 500 的结晶质量。

如图 2 和图 5B 所示，将  $\text{SiO}_2$  或  $\text{SiN}_x$  层淀积至  $500 \sim 3000\text{\AA}$  厚，形成栅极绝缘膜 300。

5 如图 2 和图 5C 所示，淀积选通导线的导电层并以其制作图案以形成选通线 410、栅电极 420、存储电极线 430 和存储电极 420。如上所述，把作为选通线 400 一部分的栅电极 410 和作为存储电极线 430 一部分的存储电极 420 置于硅层 200 之上。

10 如图 5D 所示，借助作为注入掩模的导线 410、410、420 和 430 将离子注入硅层 200，然后离子扩散，限定源极区 210 和漏极区 230。位于栅电极 410 和存储电极 420 对面的未掺杂区分别是沟道区 220 和存储区 240。存储区 240 与漏极区 230 邻接。

如图 5E 所示，形成层间绝缘膜 500 以使栅电极 410 与以后形成于其上的源电极和漏电极相绝缘。

15 如图 5F 所示，去除覆盖在硅层 200 的源极区 210 和漏极区 230 之上栅极绝缘膜 300 和层间绝缘膜 500 的那部分，以形成接触孔 C1 和 C2。

如图 2 和图 5G 所示，淀积象 Al、Cr、Mo 或 MoW 这样的数据导线金属层并对其制作图案，以形成数据线 600 和源电极 610 以及漏电极 620。

20 如图 5H 和 5I 所示，淀积和蚀刻一钝化膜，以在漏电极 620 之上形成通孔 C3。

如图 2 和图 5J 所示，淀积诸如铟锡氧化物这样的材料制成的透明导电层并对其制作图案，以形成与存储电极 420 相交叠的像素电极 800。像素电极 800 通过通孔 C3 接至漏电极。

25 如上所述，由于在存储电极 420 的电压受到有效控制的情况下，存储区 240 可用作存储电容器的一个电极，所以存储区 240 无需受掺杂。

下面，将描述根据本发明第二实施例的 LCD。第二实施例中，不用硅层的一部分，而是将一附加金属图案用作存储电容器的一个存储电极，在最下层中形成一数据导线的金属图案和该附加金属图案。

30 图 6 是根据本发明第二实施例的 LCD 布局图，图 7 是沿图 6 中的线 VII-VII' 所取的断面图，图 8 是沿图 6 中的线 VIII-VIII' 所取的断面图。

如图 6 到 8 所示，数据线 600 形成于绝缘衬底 100 上并沿垂直方向延伸，

源电极 611 从数据线 600 伸出。由与数据线 600 相同的层制成的存储电极金属图案 621 形成于绝缘衬底 100 上并平行于数据线 600 延伸。硅层 200 从源电极 611 伸至存储电极 621 的金属图案上，并与源电极 611 和存储电极图案 621 接触。由  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的栅极绝缘膜 300 形成于其上，厚度为 500 ~ 5 3000A。

选通线 400 形成于栅极绝缘膜 300 上并和源电极 611 与存储电极金属图案 621 之间的硅层 220 相交叠。选通线 400 的相交叠部分 410 起一栅电极作用。栅电极 410 对面硅层 200 的区 220 未掺杂，成为沟道区。硅层 200 的两个掺杂区 210 和 230 相对于沟道区 220 而相对设置。位于源电极 611 之上 10 的一个区 210 是源极区，而位于源电极 621 之上的另一区 230 是漏极区。

由与选通线 400 相同层制成的存储电极线 430 形成于栅极绝缘膜 300 上并平行于选通线 400 延伸。存储电极 420、存储电极线 430 的一部分与存储电极金属图案 621 相交叠，形成一存储电容器。

由  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的钝化膜 700 形成于栅极绝缘膜 300、栅电极 410 15 和存储电极金属图案 420 上，厚度为 3000 ~ 10000A。由铟锡氧化物制成的像素电极 800 形成于钝化膜 700 上，并位于选通线 400 和数据线 600 所包围的像素区内。像素电极 800 通过做在钝化膜 700 和栅极绝缘膜 300 内的接触孔 C4 与漏极区 230 相接触。

如上所述，由于源极区 210 和漏极区 230 分别直接与漏电极 611 和像素 20 电极 800 相接触，所以无需附加层间绝缘膜和用来将源电极和漏电极接至源极区和漏极区的接触孔。

如图 8 所示，在只将栅极绝缘膜 300 置于数据线 600 和选通线 400 之间的情况下，可能在两线 600 和 400 之间发生短路故障。因此，可以在线 600 和 400 交会处设置硅图案 201，以减少短路故障。

图 9 和 10 分别是根据本发明第三实施例的 LCD 布局图和断面图。根据 25 第三实施例的 LCD 具有与根据第二实施例的 LCD 基本相同的结构，不同点在于其像素电极直接与存储电极金属图案而不是硅层相接触。

也就是说，根据第三实施例的 LCD 在 TFT 和存储电极方面具有与根据 30 第二实施例的 LCD 相类似的结构。不过，像素电极 800 并不接触漏极区 230，而是通过做在钝化膜 700 和栅极绝缘膜 300 内的接触孔 C5 接触存储电极金属图案 621。

在第二和第三实施例中，设置了含金属图案 621、栅极绝缘膜 300 和存储电极 420 的一个存储电容器，还设置了含存储电极 420、钝化膜 700 和像素电极 800 的另一存储电容器。由于这些存储电容器的电介质 300 和 700 的厚度比传统结构的厚度薄，所以可以得到足够大的存储电容。

接着，以下将参照图 6 和图 11A 至 11H 描述根据第二和第三实施例的 LCD 制造方法。

图 11A 至 11H 是根据第二实施例的 LCD 中间结构断面图。

如图 6 和 11A 所示，将一数据导线的金属层淀积在绝缘衬底 100 上，并对其制作图案以形成数据线 600、源电极 611 和存储电极金属图案 621。

如图 6 和 11B 所示，将一硅层淀积于其上并对其制作图案以形成硅层 200，它与源电极 611、存储电极金属图案 621 相接触，还与源电极 611 和存储电极金属图案 621 之间衬底 100 的一部分相接触。可进行热处理或激光热处理以改善硅层 200 的结晶特性。此外，硅图案 201 和 202 可保持在导线的交会处，以防止数据线 600 与选通线 400 或存储电极线 420 之间发生短路故障。

如图 6 和 11D 所示，形成由  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的栅极绝缘膜 200，淀积一选通导线的金属层并对其制作图案以形成选通线 400、栅电极 410 和存储电极。

如图 11E 所示，借助作为注入掩模的栅电极 410 将离子注入硅层 200 中，以形成源极区 210 和漏极区 230。可进行热处理或激光热处理以使注入的离子扩散。

如图 11F 和 11G 所示，淀积钝化膜 700，去除存储淀积金属图案 621 和漏极区 230 之上钝化膜 700 和栅极绝缘膜 300 的部分，形成接触孔 C4 和 C5。

接着，如图 6 和 11H 所示，淀积一铟锡氧化物层并对其制作图案，以形成像素电极 800。该像素电极通过接触孔 C4 直接接至漏极区 230。

其间，像素电极 800 可通过接触孔 C5 直接接至存储电极金属图案 621。

如上所述，由于硅层就形成于数据导线上，所以无需传统的用来形成接触孔的蚀刻步骤。此外，也除去了淀积一层间绝缘膜的步骤和用来形成一存储电极的掺杂步骤。

下面，将描述根据本发明第四到第六实施例的 LCD。在这些实施例中，把一存储电极和一像素电极用于一存储电容器，夹在该存储电极和像素电极

之间的电介质厚度较薄。

图 12 是一布局图，表示出根据第四到第六实施例的 TFT 和存储电容器，图 13 到 15 分别是根据第四到第六实施例沿图 12 中的线 XIII-XIII' 所取的断面图。

如图 12 和 13 所示，将部分掺杂的多晶硅层 200 形成于绝缘膜 100 上，而使  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的栅极绝缘膜 300 形成于其上。选通线 400 形成于栅极绝缘膜 300 上并沿水平方向延伸，选通线 400 的一部分 410 起一栅电极的作用。沟道区 200 — 硅层 200 位于栅电极 410 对面的部分未掺杂，而位于沟道区 220 之外的源极区 210 和漏极区 230 受到掺杂。

存储电极线 430 形成于栅极绝缘膜 300 上并平行于选通线 400 延伸，存储电极线 430 的一部分 420 起一存储电极的作用。

$\text{SiO}_2$  或  $\text{SiN}_x$  制成的层间绝缘膜 500 形成于栅极绝缘膜 300、栅电极 410、选通线 400、存储电极 420 和存储电极线 430 上，厚度为  $3000 \sim 10000\text{A}$ 。在栅极绝缘膜 300 和层间绝缘膜 500 内形成接触孔 C6 和 C7，它们露出源极区 210 和漏极区 230。数据线 600 和源电极 610 以及漏电极 620 形成于层间绝缘膜 500 上，漏电极 610 和漏电极 620 分别通过接触孔 C6 和 C7 接至源极区 210 和漏极区 230。

钝化膜 700 形成于层间绝缘膜 500 和源电极 610 以及漏电极 620 上。在钝化膜 700 中形成露出漏电极 620 的接触孔 C8，去除存储电极 420 之上钝化膜 700 的一部分和层间绝缘膜 500 的上部以形成孔 C9。

铟锡氧化物像素电极 800 形成于钝化膜 700 上，并通过接触孔 C8 接至漏电极。

如上所述，存储电容器包括像素电极 800、存储电极 420 和夹在两电极 420 与 800 之间的层间绝缘膜 500。由于除了电极 420 和 800 相交叠部分之上钝化膜 700 的部分，并且层间绝缘膜 500 的厚度在该部分变得很小，所以存储电容增大。

但是，很难保持层间绝缘膜 500 局部去除部分的厚度均匀。

图 14 和 15 表示根据第五和第六实施例的结构，其中存储电极之上层间绝缘膜 500 的厚度均匀。

如图 14 和 15 所示，除层间绝缘膜是双叠层的一点不同之外，第五实施例的结构与第四实施例相同。该层间绝缘膜包括作为下层的第一膜 510 和作

为上层的第二膜 520，前者厚度为  $500 \sim 3000\text{A}$ ，而后者厚度为  $3000 \sim 10000\text{A}$ 。去除存储电极 420 之上第二膜 520 的那部分。

如图 15 所示，与第五实施例相同，第六实施例具有一双叠层层间绝缘膜 511 和 520，但第一膜 511 仅形成于含栅电极 410 和存储电极 420 的选通导线之上。象在第五实施例中那样，去除存储电极 420 之上第二膜 520 的部分。

与第四实施例一样，在第五和第六实施例的结构中，可以通过减少存储电容器的电介质厚度来增大存储电容器。另外，可以实现电介质厚度均匀。

以下描述根据第四到第六实施例的 LCD 制造方法。

在这些方法中，由于未将一掺杂硅图案用作存储电容器的电极，所以省去了用来形成存储电容器的硅图案离子掺杂步骤，并且也不需要用来蚀刻层间绝缘膜的额外光刻步骤。

图 16A 到 16H 是根据第四实施例 LCD 的中间结构断面图。

如图 12 和 16A 所示，硅层 200 形成于绝缘衬底 100 上。象在前述实施例中那样，可以进行热处理或激光热处理以改善硅层 200 的结晶特性。栅极绝缘膜 300 形成于其上，厚度为  $500 \sim 3000\text{A}$ 。淀积一选通导线的金属并对其制作图案以形成选通线 400、栅电极 410 和存储淀积 420。

如图 16B 所示，借助作为注入掩模的栅电极 410 对硅层 200 进行离子掺杂，以形成源极区 210 和漏极区 230。

如图 16C 和 16D 所示，淀积层间绝缘膜 500，然后去除源极区 210 和漏极区 230 之上的栅极绝缘膜 300 和层间绝缘膜 500，以形成接触孔 C6 和 C7。

如图 12 和 16E 所示，淀积一数据导线的金属层并对其制作图案，以形成数据线 600、源电极 610 和漏电极 620。源电极 610 和漏电极 620 分别通过接触孔 C6 和 C7 接至源极区 210 和漏极区 230。

如图 16F 所示，淀积一钝化膜 700。钝化膜 700 由具有与层间绝缘膜 500 相同的蚀刻率的材料制成。

接着，如图 16G 所示，蚀刻钝化膜 700 以分别形成接触孔 C8 和 C9，它们露出存储电极 420 之上的漏电极 620 和层间绝缘膜 500。在该过程中，所暴露的层间绝缘膜 511 的厚度变小。因此，需要控制蚀刻时间以使层间绝缘膜的厚度保持在  $500 \sim 3000\text{A}$ 。

如图 12 和 16H 所示，淀积铟锡氧化物层并对其制作图案，以形成像素

电极 800。像素电极 800 通过接触孔 C8 接至漏电极 620，并与存储电极 420 相交叠。

如上所述，在去除一漏电极 620 之上的钝化膜 700 的步骤中，通过部分去除层间绝缘膜来控制存储电极 420 之上的层间绝缘膜 511 的厚度，使其厚度较薄。但是，很难控制厚度达到均匀。  
5

图 17A 到 17F 是根据第五实施例 LCD 的中间结构断面图。在第五实施例中，层间绝缘膜是双叠层，而各层的蚀刻率相互不同。

通过图 16A 和 16B 所示的同样步骤，形成源极区 210 和漏极区 230，栅极绝缘膜 300、选通线 400、栅电极 410 和存储电极 420。  
10

然后，如图 17A 所示，依次淀积第一膜 510 和第二膜 520，二者厚度分别达 500 ~ 3000A 和 3000 ~ 10000A。第一膜 510 和第二膜 520 的蚀刻选择率优选足够大，第一膜 510 由蚀刻率比第二膜 520 小得多的材料制成。  
15

如图 17B 所示，同时蚀刻和去除源极区 210 与漏极区 230 之上的栅极绝缘膜 300、第一膜 510 和第二膜 520 的部分，以形成接触孔 C6 和 C7。  
20

如图 12 和 17C 所示，淀积一数据导线的金属层并对其制作图案，以形成数据线 600、源电极 610 和漏电极 620。源电极 610 和漏电极 620 分别通过接触孔 C6 和 C7 接至源极区 210 和漏极区 230。  
25

如图 17D 和 17E 所示，淀积蚀刻率与第二膜 520 相同的材料层，以形成钝化膜 700，对钝化膜 700 制作图案以形成接触孔 C8 和通孔 C9，接触孔 C8 露出漏电极 620，通孔 C9 露出第二膜 520。之后，去除第二膜 520 的暴露部分，以形成通孔 C9。如上所述，由于第一膜 510 的蚀刻率比第二膜 520 的蚀刻率小得多，而第二膜与钝化膜 700 具有基本相同的蚀刻率，所以仅去除了第二膜 520。  
30

如图 2 和 17F 所示，淀积铟锡氧化物并对其制作图案，以形成像素电极 800，像素电极 800 通过接触孔 C8 接至漏电极 620 并盖住通孔 C9。  
25

如上所述，由于层间绝缘膜含具有不同蚀刻率的双层，所以剩下的层间绝缘膜的厚度均匀。

图 18A 到 18D 是根据第六实施例 LCD 的中间结构断面图。在第六实施例中，双膜 510 和 520 具有与第五实施例不同的蚀刻率，但对下膜连同选通线一起制作图案。  
30

如图 12 和 18A 所示，硅层 200 形成于绝缘衬底 100 上，而将栅极绝缘

膜 300 淀积于其上。接着，按顺序淀积一选通导线和厚度为 500 ~ 3000A 的第一膜 511，并且同时对它们制作图案。换句话说，只剩下在含选通线 400、栅电极 410 和存储电极 420 之上的第一膜 511。

如图 18B 和 18C 所示，借助作为注入掩模的栅图案 400、410 和 420 将离子注入硅层 200 中，以形成源极区 210 和漏极区 230，并且淀积第二膜 520。第二膜 520 的蚀刻率大于第一膜 511 的蚀刻率，而与钝化膜 700 的蚀刻率相同。

接着，用与第五实施例相同的方法形成数据线 600、源电极 610 和漏电极 620 以及钝化膜 700。在蚀刻步骤中，保留具有小蚀刻率的第一膜 511，而去除存储电极 420 之上的第二膜 500 和钝化膜 700。

如图 12 和 18D 所示，像素电极 800 形成于钝化膜 700 和第一膜 511 上，一存储电容器由像素电极 800、存储电极 420 和夹在电极 800 与 420 之间的第一层间绝缘膜 511 形成。

在第五和第六实施例中，将第一膜 510 和 511 用作过度蚀刻保护层。可以将第一膜 510 和 511 制成多层。

在以上实施例中，已经以具有隔离存储线的模式描述了 LCD 及其制造方法。这些实施例可用于其中将以前一选通线的一部分用作存储电容器一个电极的模式。此外，半导体层可以是未晶硅层。

下面，描述根据本发明第七实施例的结构。第七实施例，不需为一存储区掺杂硅层，但硅层可通过一特定的驱动方法起到存储电容器一个电极的作用。

图 19 是根据本发明第七实施例的 LCD 布局图，图 20 是沿图 19 中的线 XX-XX' 所取的断面图，图 21 是仅表示出一条存储电极线、一硅层和一个栅电极的放大布局图。

如图 19 和 20 所示，多晶硅层 200 形成于绝缘膜 100 上并沿垂直方向延伸，而  $\text{SiO}_2$  或  $\text{SiN}_x$  制成的栅极绝缘膜 300 形成于衬底 100 和硅层 200 上，厚度为 500 ~ 3000A。

选通线 400 形成于栅极绝缘膜 300 上并沿水平方向延伸。选通线 400 扩展以形成栅电极 410、栅电极 410 与硅层 200 的一部分 220 相交叠。由与选通线 400 相同层制成的存储电极线 430 形成于栅极绝缘膜 300 上并平行于选通线 400 延伸。存储电极线 430 与硅层 200 的一部分 240 相交叠，而存储电

极线 430 与硅层 200 相交叠的部分 420 是一存储电极。

如图 21 所示，硅层 200 包括有一小宽度且与栅电极 410 相交叠的一部分，还包括位于栅电极 410 右侧有一大宽度且与存储电极 420 交叠长度为 L 的另一部分。存储电极 420 向上和向下扩展以增大总交叠面积，存储电极 420 的两边位于硅层 200 的外部。在该实施例中，存储电极 420 的宽度 W1 大于硅层 200 的宽度 W0，而存储电极 420 的长度 L 大于宽度 W1。

其间，硅层 200 与栅电极 410 和存储电极 420 相对的部分未掺杂，而硅层 200 的其余部分掺杂有 n 型掺杂物。相对于栅电极 410 和存储电极 420 将掺杂部分分成几个区。与栅电极相对的未掺杂部分是沟道区 220，与存储电极相对的未掺杂部分是存储区 240，而关于沟道区 220 对应于两侧的掺杂部分是源极区 210 和漏极区 230。漏极区 230 邻接存储区 240。此外，因硅层 200 和存储电极 420 之间在长度和宽度上的差而产生的分区 250 和 260 形成于存储电极 420 的外部。掺杂分区 250、260，它们邻接存储区 240 而与漏极区 230 分开。

层间绝缘膜 500 覆盖住含选通线 400、栅电极 410 和存储电极线 430 的选通导线，在栅极绝缘膜 300 和层间绝缘膜 500 内形成暴露源极区 210 和漏极区 230 的接触孔 C1 和 C2。

数据线 600 形成于层间绝缘膜 500 上，沿垂直方向延伸，与选通线 400 和存储电极线 430 相交。数据线 600 通过接触孔 C1 接至源极区 210。数据导线的金属制成的漏电极 620 关于数据线 600 形成于对面，并且通过接触孔 C2 接至漏极区 230。

钝化膜 700 覆盖数据线 600 和层间绝缘膜 500，露出漏电极 620 的通孔 C3 形成于钝化膜 700 内。铟锡氧化物制成的像素电极 800 形成于钝化膜 700 上，并且位于数据线 600 和选通线 400 所包围的像素区内部。像素电极 800 通过通孔 C3 接至漏电极 620，与存储电极 420 相交叠。

其间，漏极区 230 可直接接至像素电极 800。以下参照图 22 和 23 进行描述。

图 22 是根据本发明第八实施例 LCD 的布局图，图 23 是沿图 22 中的线 XXIII-XXII' 所取的断面图。在该实施例中，无需漏电极的金属图案。

如图 22 和 23 所示，除了以下一点之外，第八实施例结构与第七实施例相同，这一点是：露出漏极区 230 的接触孔 C10 形成于钝化膜 700、层间绝

缘膜 500 和栅极绝缘膜 300 内，像素电极 800 通过接触孔 C10 直接接至漏极区 230。

如上所述，一存储电容器包括存储区 240、存储电极 420 和夹在其间的栅极绝缘膜 300。由于存储区 240 未掺杂，所以它不能起存储电容器一个电极的作用。因此，需要施加专门的电压。

图 24 是根据第八实施例的 LCD 断面图，它示意性地表示出当将电压施加到一存储电极上时形成存储电容器的原理。施加到存储电极上的电压  $V$  等于或大于 TFT 阈值电压  $V_{th}$  与显示信号电压之和。

若将选通电压施加到栅电极 410 上，则一沟道形成于位于源极区 210 和漏极区 230 之间的沟道区 220 内。通过该沟道把来自数据线 600 的显示信号电压从源极区 210 传输到漏极区 230，并施加到像素电极 800 上。

若施加到存储电极 420 上的电压  $V_{st}$  等于或大于阈值电压  $V_{th}$  与显示信号电压  $V_{ds}$  的最大值之和，则由于存储电极 420 起一场效应晶体管栅电极的作用，所以电荷累积层 241 产生于未掺杂存储区 240 的表面之下，未掺杂区 240 邻接漏极区 230。电荷累积层 241 变得能导电并且起一存储电极的作用。

图 25 和 26 表示施加到 LCD 上的信号电压波形。将一栅极电压  $V_g$  和一显示信号电压  $V_{ds}$  分别施加到一选通线和一数据线上，将一公共电压  $V_{com}$  施加到一公共电路上，而将一存储电压  $V_{st}$  施加到一存储电极线和一存储电极上。

在一帧之内，把栅极电压  $V_g$  的高电平电压 - 选通电压按顺序施加到选通线上，将显示信号电压通过数据线施加到接至施加选通电压的选通线的像素上，对像素的液晶电容器充电。数据电压  $V_{ds}$  相对于公共电压  $V_{com}$  的极性可周期性翻转。

逐帧重复该过程。

如图 25 和 26 所示，施加到一条选通线上的栅极电压  $V_g$  具有周期性上升的脉冲，而施加到数据线上的显示信号电压  $V_{ds}$  相对于公共电压  $V_{com}$  周期性的翻转其极性。

其间，公共电压  $V_{com}$  是如图 25 中的直流电压或是如图 26 中那样具有与栅极电压  $V_g$  相同翻转周期的交流电压。根据公共电压  $V_{com}$  的类型，存储电压  $V_{st}$  的波形可改变。换句话说，若公共电压  $V_{com}$  是如图 5 中的直流电压，则存储电压  $V_{st}$  是直流电压，而若公共电压是如图 26 中的交流电压，

则存储电压  $V_{st}$  是交流电压。在后一情况下，最好在公共电压  $V_{com}$  有低值时存储电压  $V_{st}$  有低值，而在公共电压  $V_{com}$  有高值时存储电压  $V_{st}$  有高值。

在图 25 和 26 所示的两种情况下，施加到存储电极 420 上的存储电压  $V_{st}$  等于或大于阈值电压  $V_{th}$  和显示信号电压  $V_{ds}$  最大值之和。

5 图 27 表示 0V、5V 和 10V 显示信号电压下电容  $C_{st}$  随存储电压  $V_{st}$  的变化情况。

在显示信号电压是 0V 的情况下，若存储电压  $V_{st}$  等于或大于 TFT 的阈值电压 3.5V，则形成一存储电容器。该存储电容器的电容是 575 法拉，它几乎与用金属电极情况下的电容相同。在显示信号电压是 5V 和 10V 的情况下，  
10 当存储电压  $V_{st}$  分别等于或大于 8.5V 和 13.5V 时，形成存储电容  $C_{st}$ ，8.5V  
和 13.5V 是各个显示信号电压与 3.5V 之和。与显示电压是 0V 的情况不同，  
15 存储电容  $C_{st}$  的值受存储电压  $V_{st}$  变化的影响。也就是说，当所施加的存储  
电压  $V_{st}$  具有比 3.5V 加上显示信号电压  $V_{ds}$  更大的值时，存储电容  $C_{st}$  大大  
增加。随着存储电压  $V_{st}$  的增大，存储电容  $C_{st}$  的增长率降低，该存储电容  
接近 0V 显示信号电压的值。

图 28 表示当显示信号电压  $V_{ds}$  是 10V、TFT 阈值电压是 3.5V 时 10V  
和 14V 存储电压  $V_{st}$  的存储电容器充电特性。在施加选通电压的时刻  $T_1$  开  
始对像素充电，像素电压  $V_{pixel}$  在很短的时间内达到最大值。像素电压  $V_{pixel}$   
在施加截止电压的时刻  $T_2$  骤然下降。压降  $\triangle V_1$  和  $\triangle V_2$  是一反冲电压。

20 如图 28 所示，若施加到存储电极 420 上的存储电压  $V_{st}$  是 10V，则较  
之存储电压  $V_{st}$  是 14V 的情况，像素迅速充电，达到最大值。但是，10V 存  
储电压  $V_{st}$  的压降  $\triangle V_1$  大于 14V 存储电压  $V_{st}$  的压降  $\triangle V_2$ 。

因此，若存储电压等于或大于 TFT 阈值电压与显示信号电压最大值之  
和，则形成存储电容，从而使充电时间延迟，反冲电压减小。

25 如上所述，由于通过施加充分的电压而使未掺杂存储区 240 可用作存储  
电容器的一个电极，所以不需要对存储区 240 进行的额外掺杂步骤。

下面，将参见图 19 到 23 和图 29A 到 29J 描述根据第七和第八实施例的  
LCD 的制造方法。

如图 29A 所示，多晶硅层 200 形成于绝缘衬底 100 上。然后，可执行热  
30 处理或激光热处理，以改善硅层 200 的结晶特性。

如图 29B 所示，形成  $\text{SiN}_x$  或  $\text{SiO}_2$  制成的栅极绝缘膜 300，其厚度为 500～

3000A。

如图 19 和 29C 所示，淀积一条导线的导电层，并对其制作图案，以形成含选通线 400、栅电极 410、存储电极线 430 和存储电极 420 的选通导线。如上所述，从选通线 400 伸出的栅电极 410 和从存储电极线 430 伸出的存储电极 420 位于硅层 200 之上。  
5

如图 21 和 29D 所示，借助作为注入掩模的导线 400、410、420 和 430 将离子注入硅层 200，使离子扩散以形成源极区 210 和漏极区 230。在该步骤中，形成沟道区 220 — 硅层 200 与栅电极 410 相对的部分，并形成存储区 240 — 硅层 200 与存储电极相对的那部分。沟道 220 和存储区 240 未掺杂，  
10 存储区 240 邻接漏极区 230。此外，形成邻接存储区 240 而与漏极区 230 隔开的分区 250 和 260。

如图 19 和 29E 所示，形成将要使选通线 400、栅电极 410、存储电极 420 和存储电极线 430 与数据线和极相绝缘的层间绝缘膜 500。

接着，如图 29F 所示，去除源极区 210 和漏极区 230 之上的栅极绝缘膜 300 和层间绝缘膜 500，以形成接触孔 C2。在第八实施例的情况下，无需接触孔 C2。  
15

如图 19 和 29G 所示，淀积象 Cr 和 Mo 这样的数据线金属层，并对其制作图案以形成数据线和漏电极 620。数据线 600 和漏电极 620 分别通过接触孔 C1 和 C2 接至源极区 210 和漏极区 230。在第八实施例的情况下，无需漏电极。  
20

如图 29H 和 29I 所示，淀积钝化膜 700，然后蚀刻钝化膜 700 以形成露出漏电极 620 的通孔 C3。在第八实施例的情况下，去除栅极绝缘膜 300、层间绝缘膜 500 和钝化膜 700，以形成露出漏极区 230 的接触孔 C4。

如图 19 和 29J 所示，淀积由象铟锡氧化物这样的材料制成的透明导电层，并对其制作图案以形成像素电极 800。像素电极 800 与存储电极 420 相交叠并且通过通孔 C3 接至漏电极 620。在第八实施例的情况下，像素电极 800 通过接触孔 C4 直接接至漏极区 230。  
25

如上所述，由于通过控制施加到存储电极 420 上的电压可将存储区 240 用作存储电容器的一个电极，所以存储区 240 无需掺杂。因此掩模数目减少。  
30

参照图 28 再次论及充电过程，要花费一定时间对像素充电以使其具有最大电压。这可能是由导线和存储电容器的电阻以及存储电容引起的。

图 30 是根据上述第七和第八实施例的等效电路图。只考虑存储区 240 的电阻。

如图 21 和 30 所示，选通线 G 与数据线 D 相交并与它相绝缘。TFT 的栅极端和源极端(g 和 s)分别接至选通线 G 和数据线 D。液晶电容器 LC 和存储电容器 STG 并联接至 TFT 的漏极端(d)，电阻 Rst1 接在漏电极(d)和存储电容器 STG 之间。

电阻 Rst1 取决于电荷运动路径的长度。

若将任意电压施加到漏极区 230 和存储电极 420 上，则电荷移动到并累积到存储区 240。电荷从漏极区 230 移动到存储区 240 的距离是存储电极的 10 长度 L。由于电阻 Rst1 正比于该距离而存储电容器的充电时间正比于电阻 Rst1，所以需要减少电荷移动距离。

下面，将参照图 31 描述用来减小该长度的实施例。

图 31 是根据本发明第九实施例的 LCD 布局图，其中仅示出一硅层、一存储电极线、一存储电极和一栅电极。

如图 31 所示，存储电极 420 的宽度 W3 小于硅层 200 的宽度 W2，存储电极 420 的边缘位于硅层 200 内部。为获得与图 21 中所示第七实施例结构中相同的存储电容，存储电极 420 的长度 L 保持与第七实施例相同，而存储电极 420 的宽度 W3 等于图 21 中硅层 200 的宽度 W0。

在该结构中，掺杂后的分区 250 和 260 形成于硅层 200 内而其上、下边 20 位于存储区 240 的外部。一个分区 250 接至漏极区 230，而另一个分区 260 与漏极区 230 隔开。

若将存储电压 Vst 施加到存储电极 420 上，则电荷累积层 240 形成于存储区 240 的表面之下。由于掺杂后的分区 250 具有比电荷累积层 241 更小的 25 电阻，所以漏极区 230 的电荷首先移入分区 250，然后沿垂直方向移过累积层 241。假定移动距离是存储电极 420 的宽度 W3，由于宽度 W3 比长度 L 小，所以电荷移动距离更短，存储区 240 中的电阻比图 21 所示第七实施例中的电阻更小。

图 32 表示根据图 21 中第七实施例和图 31 中第九实施例的像素充电特性。虚线(a)代表第七实施例中的充电特性，实线(b)代表第九实施例中的充电特性。在存储电容和反冲电压方面两实施例之间无差别，但(b)的充电时间比 30 (a)的充电时间短。

图 33 是第九实施例的等效电路图。

如图 33 所示，分区 240 的电阻 R1 接在存储区 240 的电阻 Rst2 和 TFT 的漏电极(d)之间。在该实施例中，存储区 240 的电阻 Rst2 因上述原因而减小，而分区 240 的电阻 R1 加到电阻 Rst2 上。

5 即使比存储区 240 电阻的减少量小，也需减小分区 250 的电阻 R1 以缩短充电时间。

下面，将参照图 34 到 38 描述用来减小分区电阻的实施例。

图 34 是根据本发明第十实施例 LCD 的布局图，图 35 是沿图 34 中的线 XXXV-XXXV' 所取的断面图。除以下各点不同以外，第十实施例的结构与第九实施例基本相同，这些不同点即为：露出分区 250 的多个接触孔 C11 形成于栅极绝缘膜 300、层间绝缘膜 500 和钝化膜 700 之中并沿水平方向设置，而分区 250 通过接触孔 C11 接至 ITO 像素电极 800。

15 在该结构中，由于像素电极 800 的电阻比掺杂后的分区 250 小，电荷通过像素电极 800 在短时间内移至整个分区 250，然后移入存储区 240。因此，使分区 250 的电阻较小并且充电时间缩短。

图 36 是根据本发明第十一实施例的 LCD 布局图，图 37 是沿图 36 中的线 XXXVII-XXXVII' 所取的断面图。除以下各点不同以外，第十一实施例的结构与第九实施例基本相同，这些不同点是：接触孔 C12 形成于栅极绝缘膜 300、层间绝缘膜 500 和钝化膜 700 之中，而下侧位于存储区 240 外部的掺 20 杂后的分区 260 通过接触孔 C12 接至像素电极 800。

在该结构中，电荷通过低电阻像素电极 800 移向分区 250 和 260。然后，电荷在几乎相同的时间从上分区 250 和下分区 260 移至存储区 240。因此，电荷移动距离变成存储区 240 宽度的一半，电阻减小，充电时间缩短。

25 图 38 是根据第十一实施例的等效电路图，表示出一存储电容器 STG 和 电阻元件。

在图 38 中，R2 和 R3 是上分区的电阻和下分区的电阻，Rst3 和 Rst4 是存储区 240 上半区的电阻和存储区 240 下半区的电阻。假定图 36 中的结构与图 31 中的结构相同，则  $Rst3 = Rst4 = 1/2Rst2$ ，而  $R2 = R1$ 。假定下分区 260 的电阻类似上分区 250 的电阻，则  $R3 = R2 = R1$ ，总电阻变成  $1/2R1 + 1/4Rst2$ 。因此，第十一实施例中的总电阻相对于第九实施例中的电阻充分减小。

下面，将参照图 39 和 40 描述根据第十二和第十三实施例的结构。在这些结构中，分区 250 和 260 的电阻变得低于以上实施例的电阻。

图 39 和 40 是根据本发明第十二和第十三实施例的 LCD 布局图。

如图 39 所示，露出掺杂后下分区 260 的多个接触孔 C13 形成于栅极绝缘膜 300、层间绝缘膜 500 和钝化膜 700 之中，并且沿水平方向设置，分区 260 通过接触孔 C13 接至 ITO 像素电极 800。

其间，在图 40 中，露出上分区 250 的多个接触孔 C11 和露出下分区 260 的多个接触孔 C13 形成于栅极绝缘膜 300、层间绝缘膜 500 和钝化膜 700 之中。掺杂后的上分区 250 和下分区 260 通过接触孔 C11 和 C13 接至 ITO 像素电极 800。

如上所述，由于其电阻低于分区 250 和 260 电阻的像素电极 800 变成电荷移动路径，所以可以减小电阻。

如 41 和 46 表示具有将分区接至像素电极的金属图案的结构。在这些结构中，将电荷引至电阻比分区低的金属图案上。

图 41 是根据本发明第十四实施例 LCD 的布局图，图 42 是沿图 41 中的线 XLIII-XLII' 所取的断面图。第十四实施例的结构类似于第十三实施例的结构。

如图 41 所示，金属图案 630 形成于层间绝缘膜 500 上，并与掺杂后分区 250 和 260 以及存储电极 420 相交叠。金属图案 630 通过多个接触孔 C14 和 C15 接至上分区 250 和下分区 260，多个接触孔 C14 和 C15 做在栅极绝缘膜 300 和层间绝缘膜 500 之中。在该实施例中，像素电极并不与存储电极 420 和金属图案 630 相交叠。

由于金属图案 630 的电阻比像素电极 800 的小，所以该实施例的总电阻小于第十三实施例的总电阻。此外，由于存储电极 420、层间绝缘膜 500 和金属图案 630 形成又一存储电容器，所以总存储电容增大。

图 43 和 44 是根据本发明第十五实施例的 LCD 布局图和断面图。

如图 43 和 44 所示，金属图案 640 和 650 形成于掺杂后的分区 250 和 260 之后，并且分别通过多个接触孔 C14 和 C15 接至上分区 250 和下分区 260，多个接触孔 C14 和 C15 制作于栅极绝缘膜 300 和层间绝缘膜 500 之中。

在该实施例中，分区 250 和 260 的电阻可象第十四实施例那样减小。但是，由于金属图案 640 和 650 并未与存储电极 420 相交叠，所以无法由存储

电极 420 与金属图案 640 和 650 形成额外的存储电极。

图 45 是根据本发明第十六实施例的 LCD 布局图，图 46 是沿图 45 中的线 XLVI-XLVI' 所取的断面图。

若 ITO 像素电极 800 与存储电极 240 相交叠，则第十六实施例中的结构和作用与第十四实施例基本相同。

除以下不同点之外，根据第九到第十六实施例的 LCD 制造方法与根据第一到第八实施例的方法相同，不同点在于：存储电极 420 形成于硅层 200 边缘的内部，而在形成数据线 600 的步骤中形成金属图案 630、640 和 650。

图 47 是根据本发明第七实施例的 LCD 布局图，图 48 是沿图 7 中的线 XLVIII-XLVIII' 所取的断面图。

如图 47 和 48 所示，多晶硅层 200 形成于绝缘衬底 100 上， $\text{SiO}_2$  或  $\text{SiN}_x$  制成的栅极绝缘膜 300 形成于硅层 200 和衬底 100 上，厚度为  $500 \sim 3000\text{A}$ 。

与硅层 200 相交的选通线 400 形成于栅极绝缘膜 300 上并且沿水平方向延伸。与硅层 200 相交的选通线 400 的一部分 410 是一栅电极。由与选通线 400 相同的层制成的存储电极线 430 形成于栅极绝缘膜 300 上并且平行于选通线 400 设置。存储电极线 430 的一部分变成存储电极 420。

可将选通线 400、栅电极 410、存储电极 420 和存储电极线 430 制成双叠层膜或多叠层膜。

将硅层 200 分为几个区。硅层 200 位于栅电极 410 对面的未掺杂部分是沟道区 220，硅层 200 位于沟道区 220 两侧的掺杂部分是源极区 210 和漏极区 230。

厚度为  $500 \sim 2500\text{A}$  的第一绝缘膜 51 和 52 形成于含选通线 400、栅电极 410、存储电极 420 和存储电极线 430 的导线上。第一绝缘膜 51 和 52 可以是多叠层膜。

金属图案 61 和 62 形成于绝缘膜 51 和 52 上。形成于与存储电极 420 相对的第一绝缘膜 52 上的金属图案 62 起存储电容器另一电极的作用。对第一绝缘膜 51 和 52 以及金属图案 61 和 62 制作图案，形状与导线 400、410、420 和 430 的相同。

第二绝缘膜，即层间绝缘膜 500 形成于第一绝缘膜 51 和 52 以及栅极绝缘膜 300 上，而露出源极区 210 和漏极区 230 的接触孔 C1 和 C2 形成于层间绝缘膜 500 和栅极绝缘膜 300 之内。

Ti 或 TiN 制成的数据线 600 形成于层间绝缘膜 500 上并沿垂直方向设置。源电极 610 从数据线 600 伸出，并且通过接触孔 C1 接至源极区 210。漏电极 620 形成于源电极 610 对面，并且通过接触孔 C2 接至漏极区 230。

钝化膜 700 覆盖数据线 600、源电极 610 和漏电极 620，并且有一露出漏电极 620 的接触孔 C3。露出存储电容器金属图案 62 的通孔 C16 形成于钝化膜 700 和层间绝缘膜 500 之中。

透明像素电极 800 形成于钝化膜 700 并且位于数据线 600 和选通线 400 所包围的一个像素内部。像素电极 800 通过接触孔 C3 接至漏电极 620，而通过通孔 C16 接至一存储电容器的金属图案 62。

可以把存储电极 420、第一绝缘膜 52 和金属图案 62 制成一多叠层膜。以下将参照图 49 来描述它。

图 49 是图 48 中部分 P 的放大断面图，表示该多叠层结构。

如图 49 所示，由一选通导线的金属制成并且形成于栅极绝缘膜 300 上的存储电极 420 是一个双叠层膜，它包括铝膜 421 和钛膜 422。

形成于存储电极 420 上的第一绝缘膜 52 具有包括  $\text{SiO}_2$  膜 152 和  $\text{SiN}_x$  膜 252 多叠层结构，或具有包括  $\text{SiO}_2$  膜 152、 $\text{SiN}_x$  膜 252 和  $\text{SiO}_2$  膜 352 的三叠层结构。

此外，形成于第一绝缘膜 52 上的金属图案 62 具有含一下膜 162 和一上膜 262 的双叠层结构，或具有多叠层结构。双叠层结构的上膜 262 或多叠层结构的最上层膜由蚀刻率比第一绝缘膜 500 和象 Cr、Mo 或 Nd 这样钝化膜 700 小的材料制成。

金属图案 62 接触像素电极 800。

上述结构可用于这样一种模式，其中前一像素的选通线与一像素电极相交叠，并且起一存储电容器一个电极的作用。以下将参照图 50 和 51 描述它。

图 50 是根据本发明第十八实施例的 LCD 布局图，图 51 是沿图 50 中的线 LI-LI' 所取的断面图。

在该实施例中，前一选通线的一部分起一存储电极的作用。

如图 50 和 51 所示，一存储电容器包括第一存储电极 440、存储电容器的绝缘膜 54 和第二存储电极 64，第一存储电极 440 是前一选通线 401 的一部分，绝缘膜 54 形成于第一存储电极 440 上。像素电极 800 通过通孔 C16 接至第二像素电极 64，通孔 C16 形成于钝化膜 700 和绝缘膜 500 之中。

除了以下不同点之外，本实施例的结构与第十七实施例的结构相同，不同点在于：前一选通线 401 和像素电极 800 相互交叠，形成一存储电容器。

由于一存储电容器的绝缘膜 54 厚度为 500A，所以存储电容器可增大。

下面，将参照图 47、52A 到 52K 描述根据本发明第七实施例的 LCD 制造方法。

如图 52A 所示，多晶硅层 200 形成于绝缘衬底 100 上。可进行热处理或激光热处理以改善硅层 200 的结晶特性。

如图 52B 所示， $\text{SiO}_2$  或  $\text{SiO}_x$  制成的栅极绝缘膜 300 形成于硅层 200 和衬底 100 上，厚度为 500 ~ 3000A。

如图 47 和 52C 所示，淀积 Al 制成的选通导线的导电膜 402。按顺序在其上淀积厚度为 500 ~ 3000A 的第一绝缘膜 50 和存储电容器金属膜 60。通过按顺序淀积 Al 膜和 Ti 膜，可以将导电膜 402 制成双叠层结构，而可以将第一绝缘膜 50 制成含  $\text{SiO}_2$  膜或  $\text{SiO}_x$  膜的双叠层结构，或制成含  $\text{SiO}_2$ 、 $\text{SiO}_x$  和  $\text{SiO}_2$  的多叠层结构。此外，可将金属膜 60 制成多叠层结构，而金属膜 60 的最上层可以由 Mo、Nd 或 Cr 制成，这些材料的蚀刻率相对于 ITO 的蚀刻剂来说较小。

如图 47 和 52D 所示，同时对导电膜 402、第一绝缘膜 50 和金属膜 600 制作图案，以形成包括选通线 400、栅电极 410、存储电极 420 和存储电极线 430 的导线。因此，绝缘膜图案和金属膜图案与该导线的图案相同。在该步骤中，存储电容器由存储电极 420、第一绝缘膜图案 52 和存储电容器的金属图案 62 制成。

如图 52E 所示，借助作为注入掩模的导线将离子注入硅层 200 中，形成源极区 210 和漏极区 230。

如图 52F 和 52G 所示，淀积第二绝缘膜 500。在栅极绝缘膜 300 和第二绝缘膜 500 中形成接触孔 C1 和 C2，接触孔 C1 和 C2 露出源极区 210 和漏极区 230。若需要露出栅电极 410 的任意接触孔，则通过三步形成露出源极区 210 和漏极区 230 的接触孔 C1 和 C2。以后将参照图 53A 到 53C 详细描述它。

如图 47 和 52H 所示，淀积诸如 Ti 或 TiN 之类数据导线的金属层，并对其制作图案以形成数据线 600、源电极 610 和漏电极 620。源电极 610 和漏电极 620 分别接至源极区 210 和漏极区 230。

如图 52I 所示，淀积钝化膜 700。钝化膜 700 由蚀刻率与第二绝缘膜 500 相同的材料制成。

接着，如图 52J 所示，蚀刻钝化膜 700 和第二绝缘膜 500，形成接触孔 C3 和通孔 C16，接触孔 C3 露出漏电极 620，通孔 C16 露出一存储电容器的金属图案 62。在该步骤中，由于形成于金属图案 62 之上的绝缘层 500 和 700 比形成于漏电极 620 之上的绝缘层 700 厚，可以对漏电极 620 之上的绝缘层 700 进行过度蚀刻。

如图 47 和 52K 所示，淀积一铟锡氧化物层，并且对其制作图案以形成像素电极 800。像素电极 800 通过接触孔 C3 接至漏电极 620，而通过通孔 C16 接至金属图案 62。如上所述，由于金属图案 62 的最上层由相对于 ITO 蚀刻剂来说具有低蚀刻率的材料制成，所以该层可以是阻蚀刻层。因此，可以在存储电极 420 之上形成均匀厚度的第一绝缘膜 52。此外，由于漏电极 620 由 Ti 或 TiN 制成，所以甚至在 ITO 蚀刻剂通过过度蚀刻的接触孔 C3 渗到漏电极 620 中时，也不易发生漏电极腐蚀的现象。

以下将参照图 53A 到 53C 详细描述根据图 52G 形成露出一源极区和一漏极区的接触孔的步骤。

如图 53A 到 53C 所示，蚀刻源极区 210、漏极区 230 和金属图案 61 之上的第二绝缘膜 500，露出位于栅电极 410 之上的金属图案 61，蚀刻所露出的金属图案 61，露出第一绝缘膜 51。蚀刻露出的第一绝缘膜 51 和栅极绝缘膜 300，露出栅电极 410、源极区 210 和漏极区 230。

若需要将数据导线接至选通导线，则形成栅电极之上的接触孔 C16。

在该实施例中，由于存储电容器的一个电极由选通导线的金属图案制成，所以无需离子掺杂步骤。此外，由于在形成选通导线的同时形成存储电容器，所以无需任何额外的步骤。

如本发明各实施例中所述，可以形成存储电容器而无需额外步骤。可以获得足够的存储电容，减小像素的电容偏差，原因在于可将存储电容器的介质层厚度制作得很薄。此外，缩短了将显示信号电压充入像素的充电时间。

附图和说明书中，已经公开了本发明的典型优选实施例，尽管使用了特殊的术语，不过只是在一般和说明的意义上使用它们，而并不为了限制，以下的权利要求书中表示出本发明的范围。

## 说 明 书 附 图

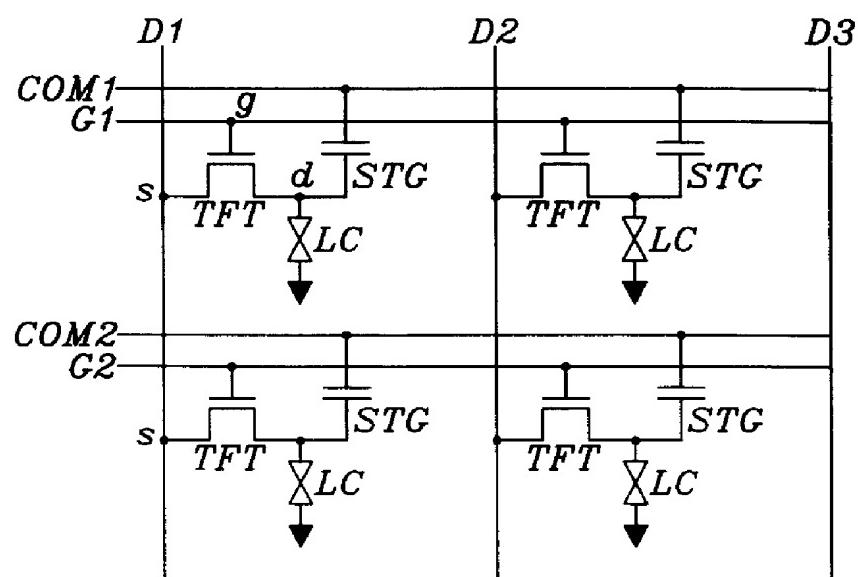


图 1

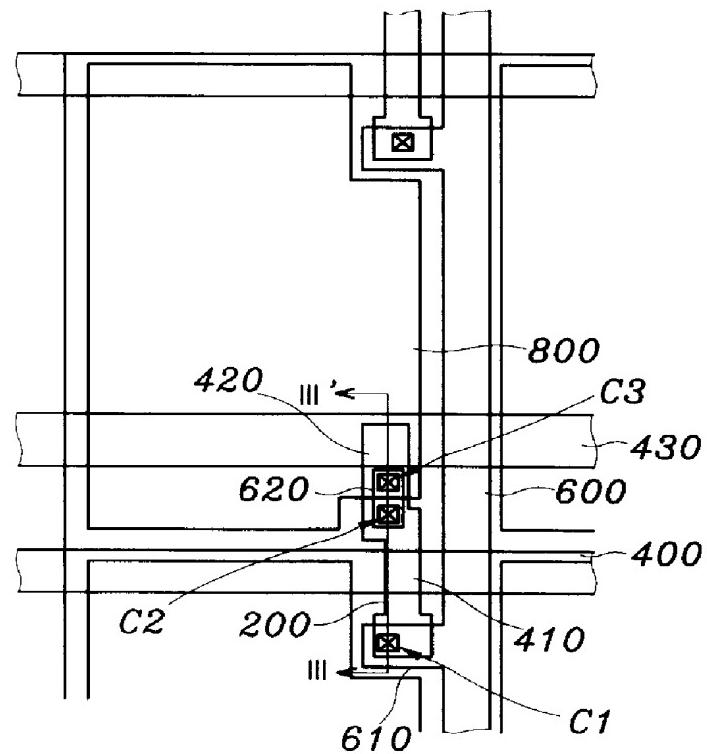


图 2

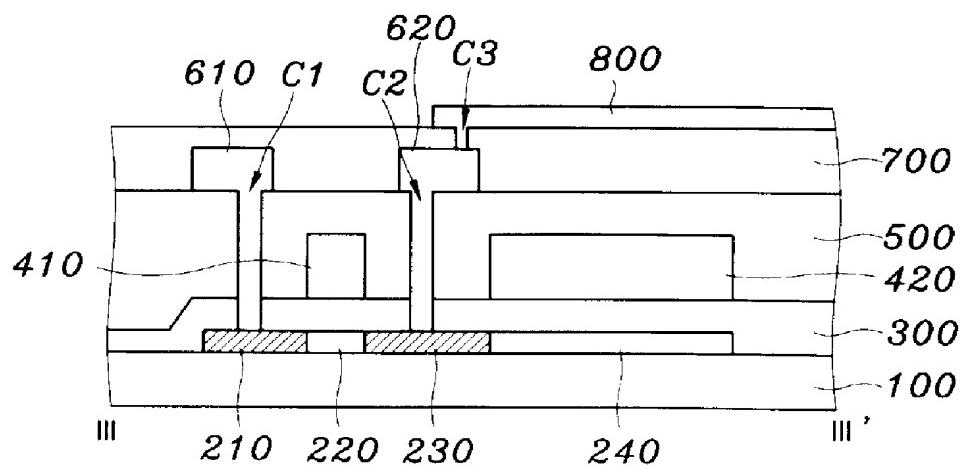


图 3

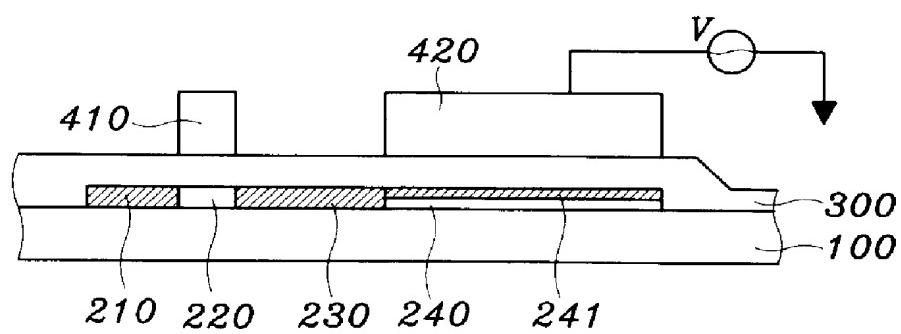


图 4

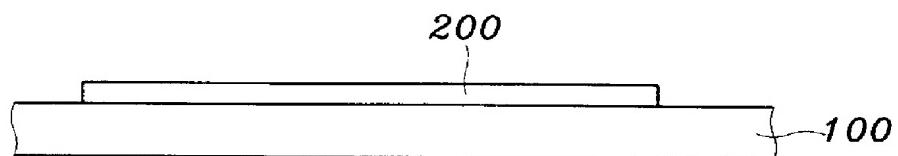


图 5A

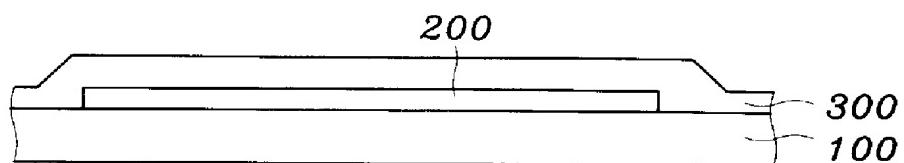


图 5B

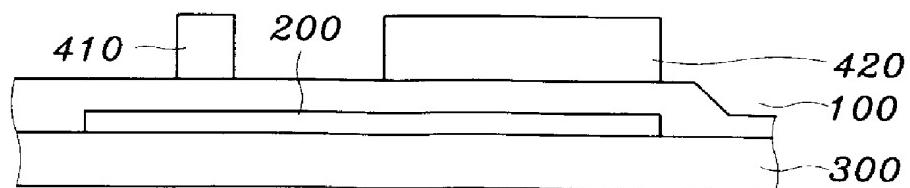


图 5C

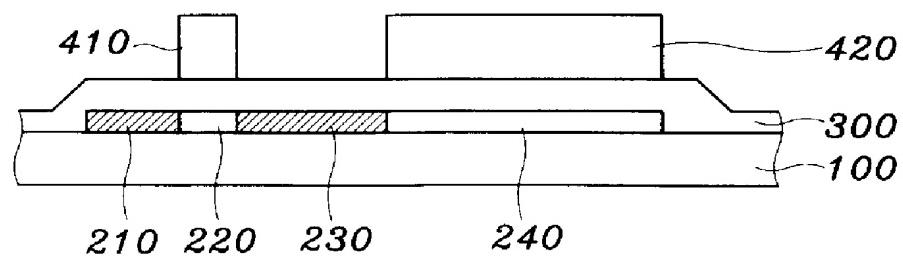


图 5D

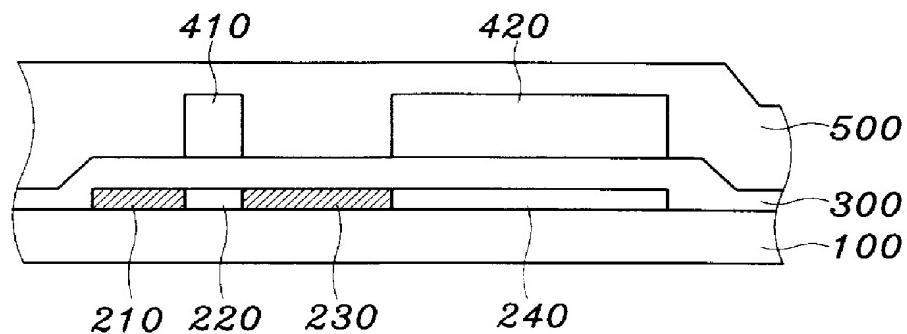


图 5E

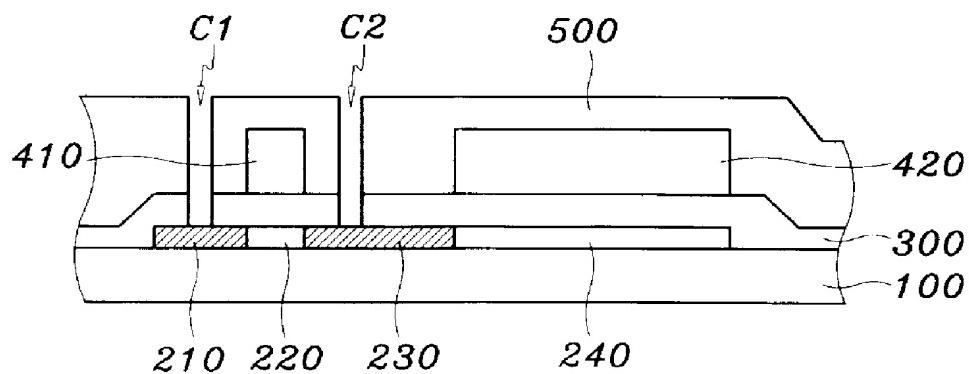


图 5F

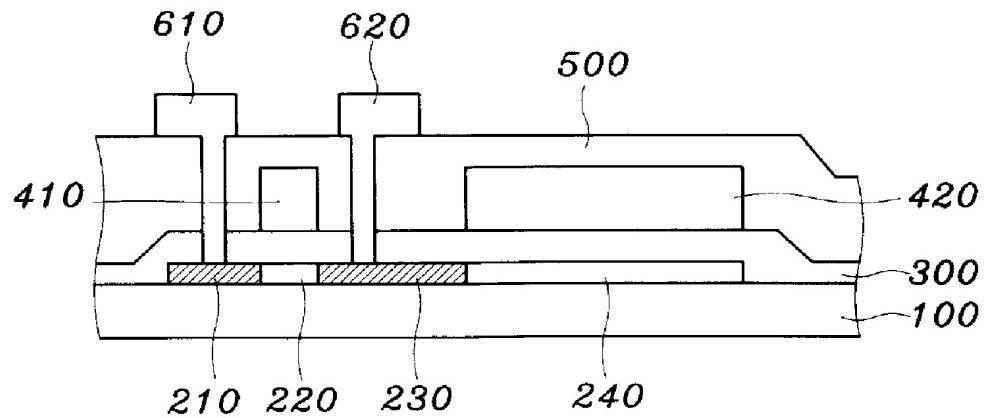


图 5G

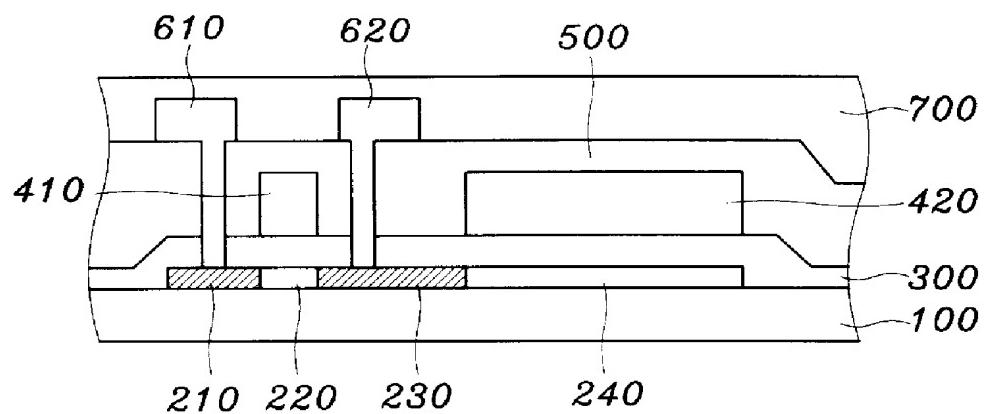


图 5H

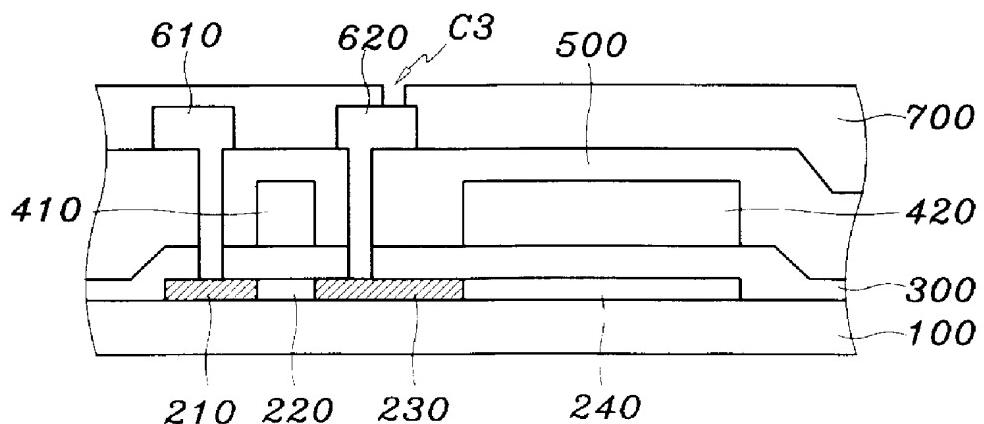


图 5I

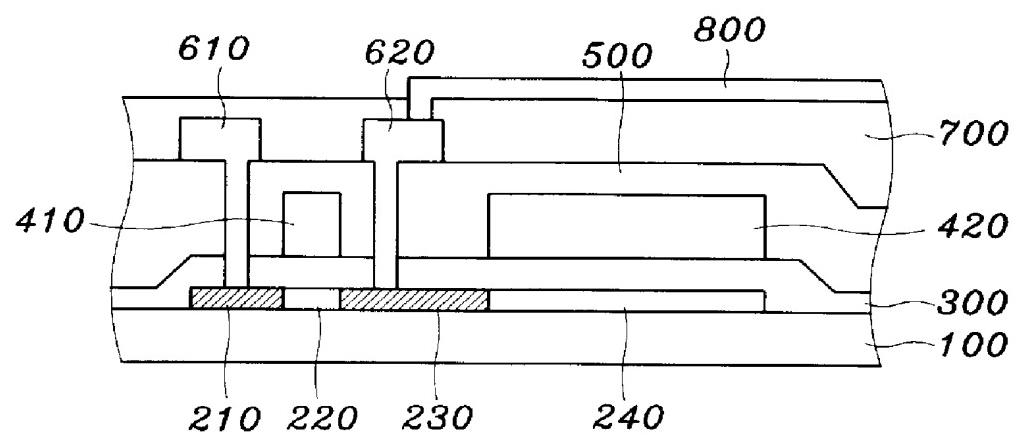


图 5J

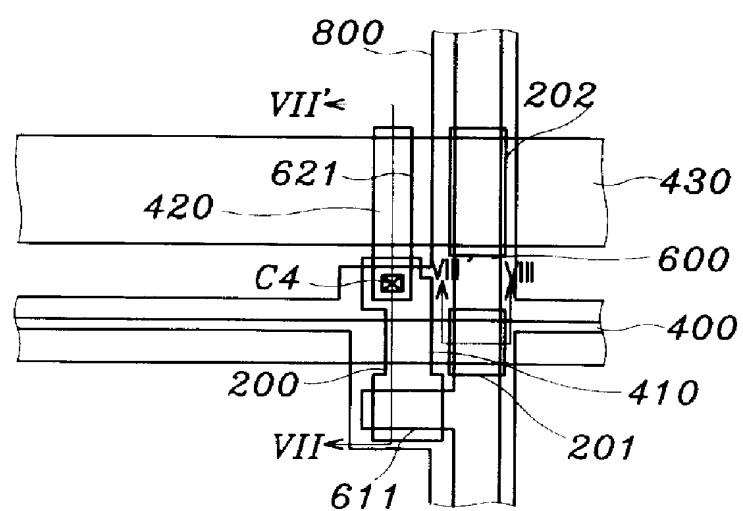


图 6

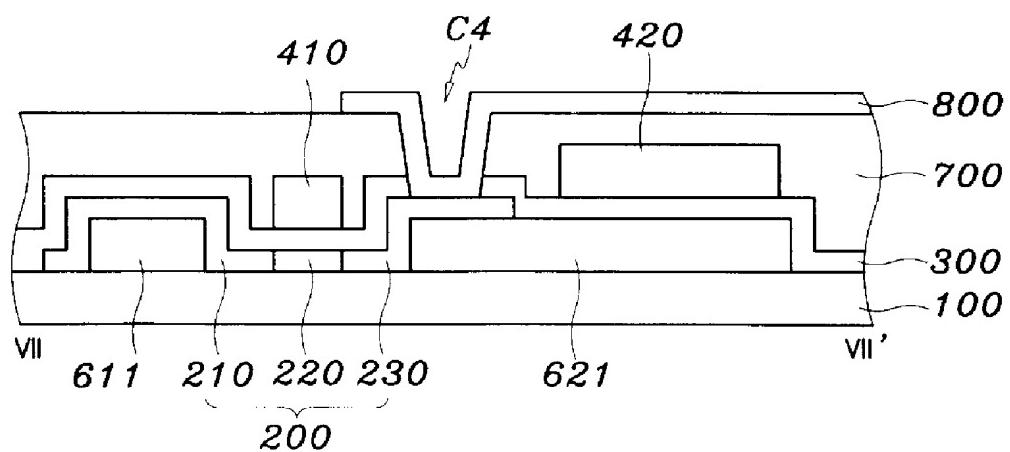


图 7

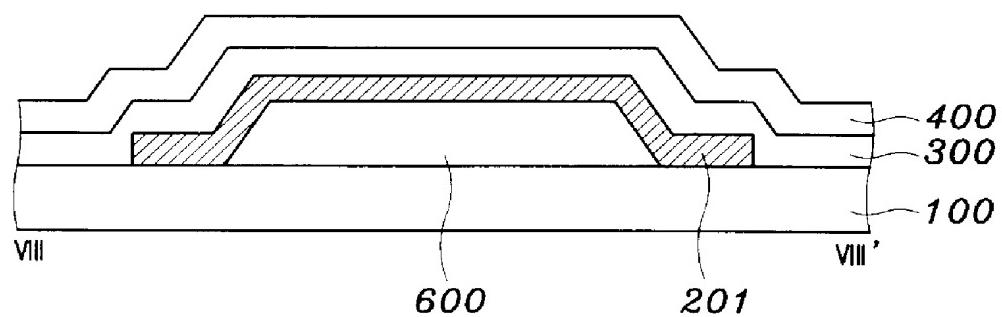


图 8

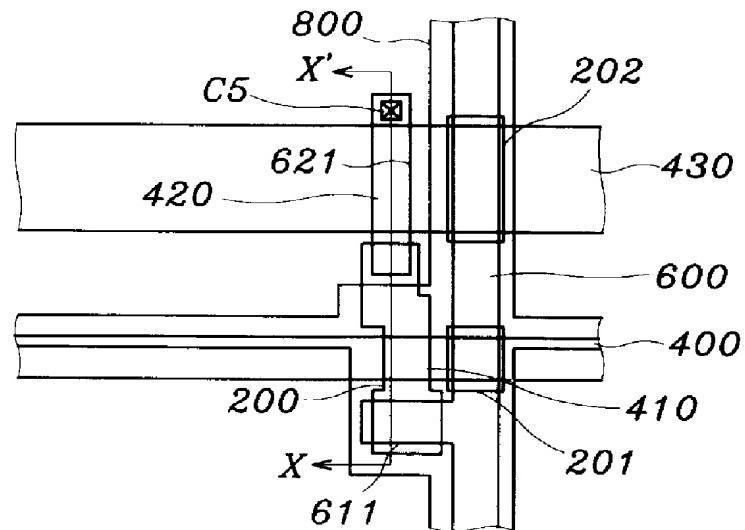


图 9

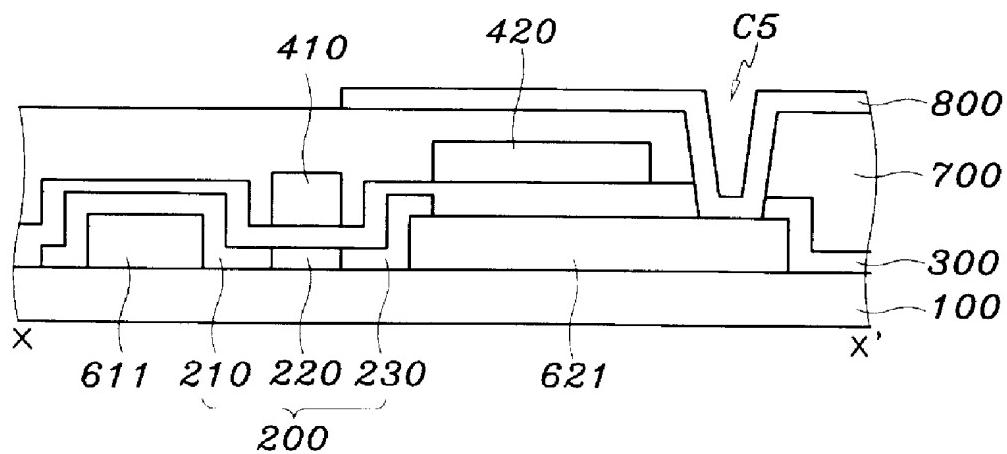


图 10

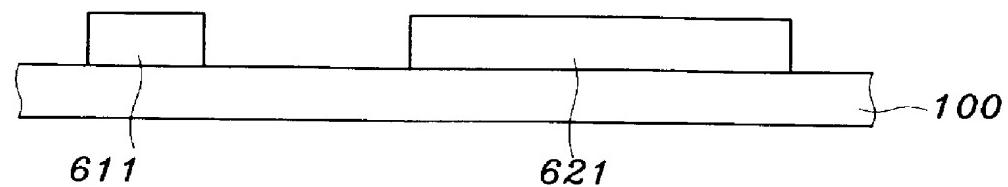


图 11A

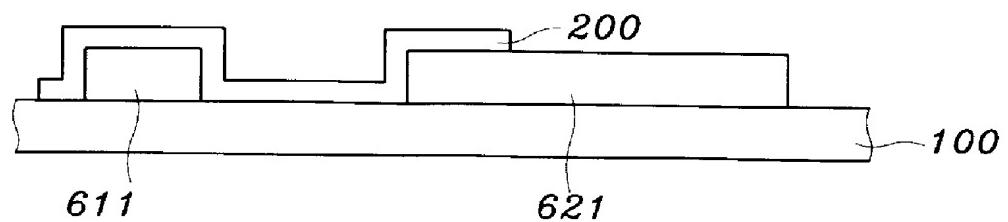


图 11B

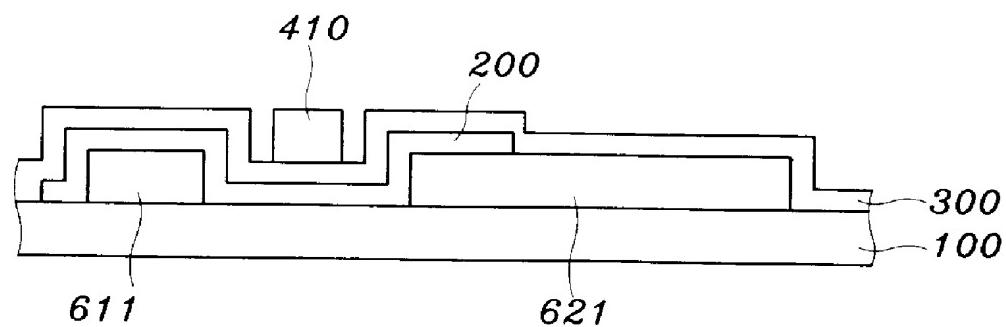


图 11C

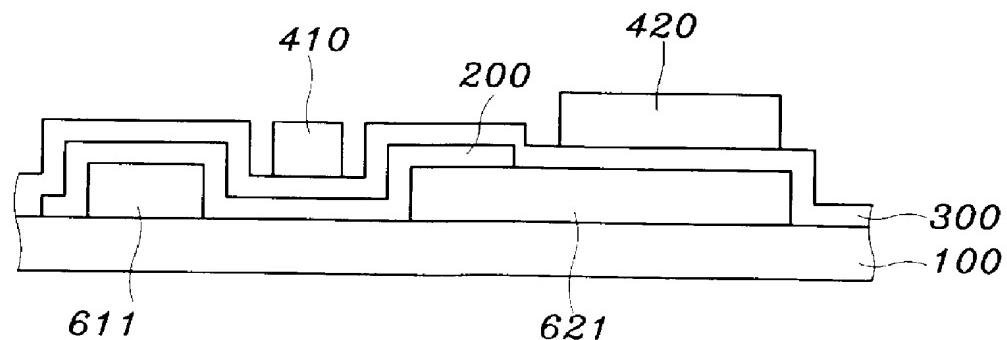


图 11D

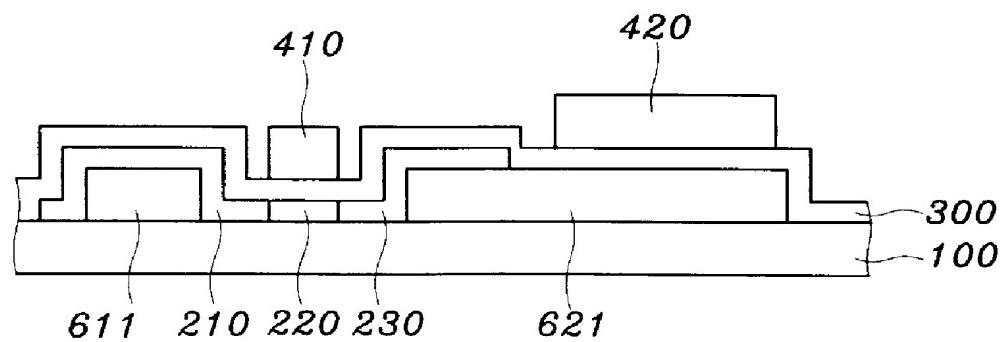


图 11E

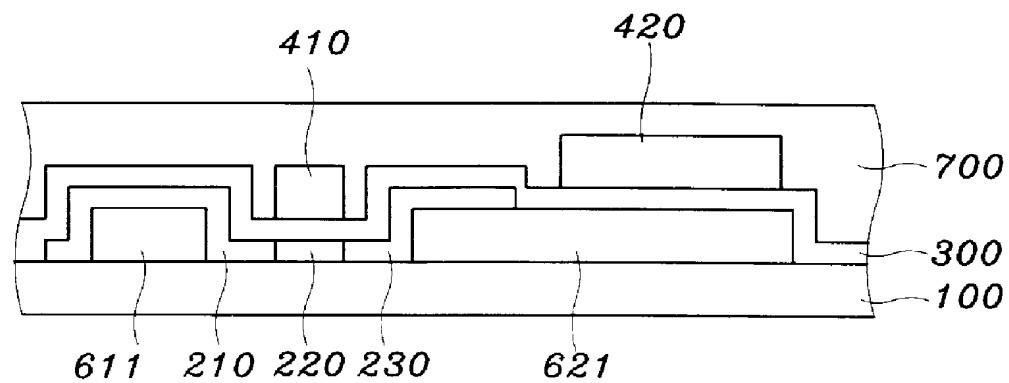


图 11F

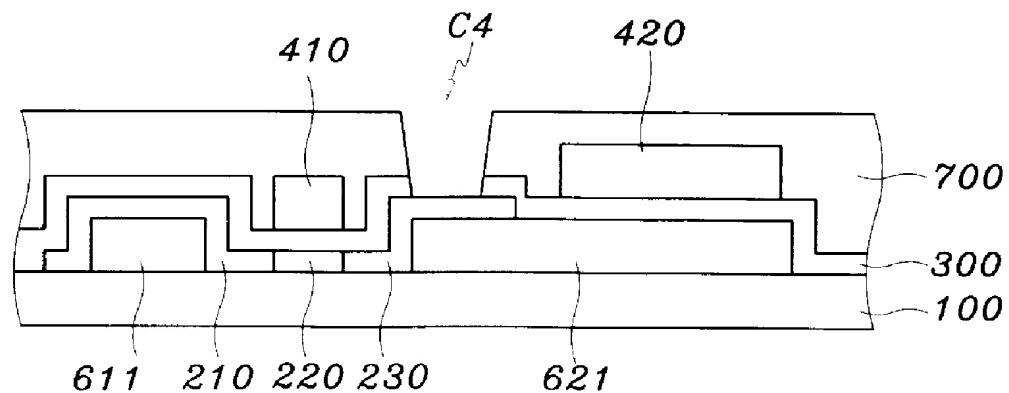


图 11G

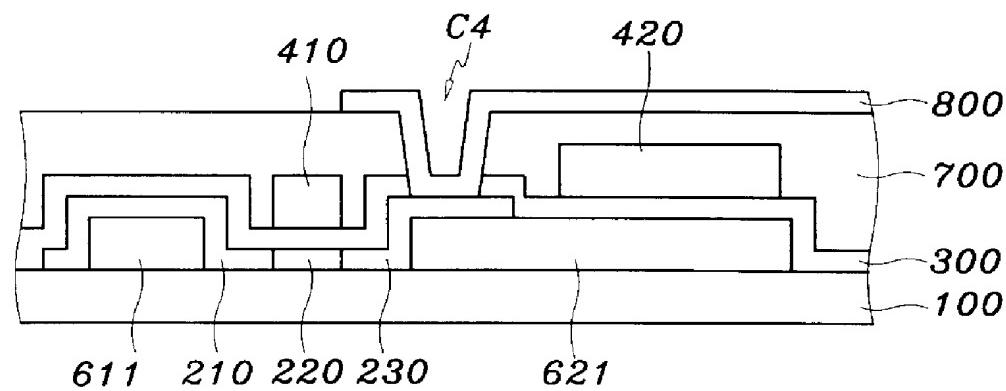


图 11H

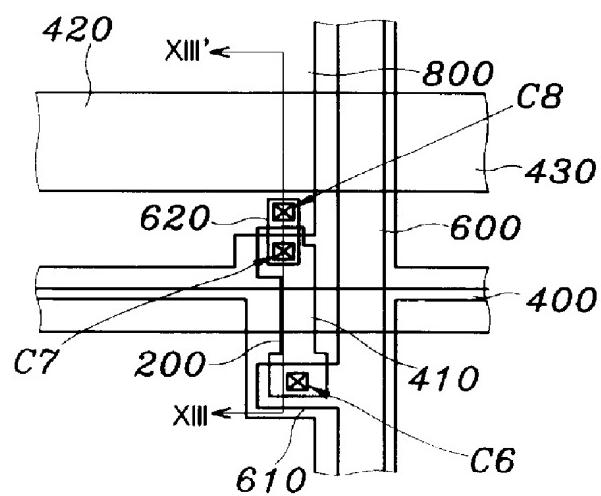


图 12

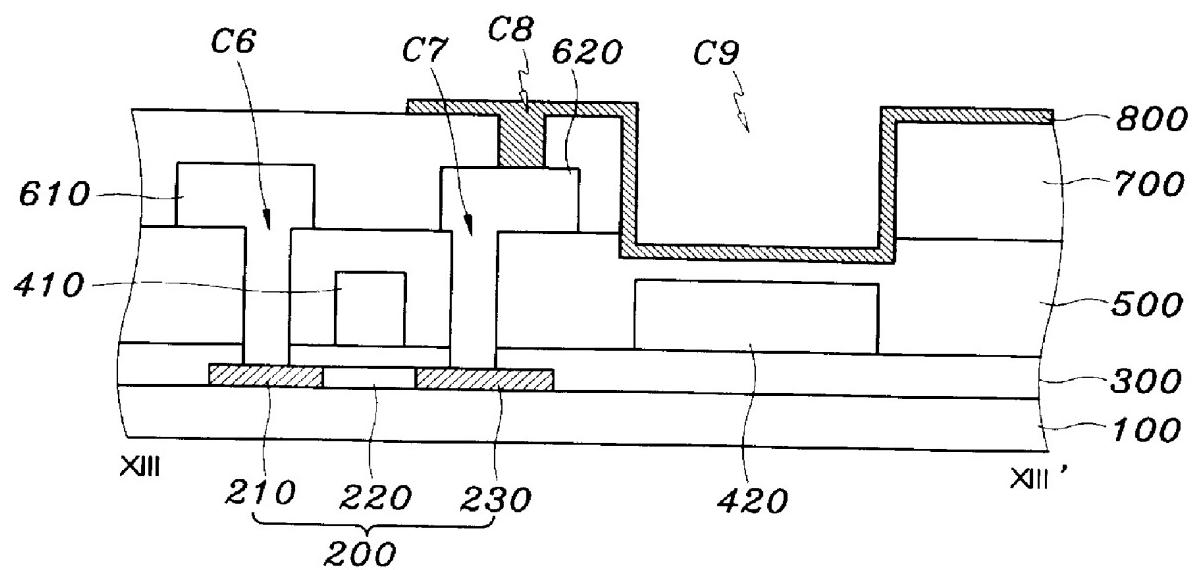


图 13

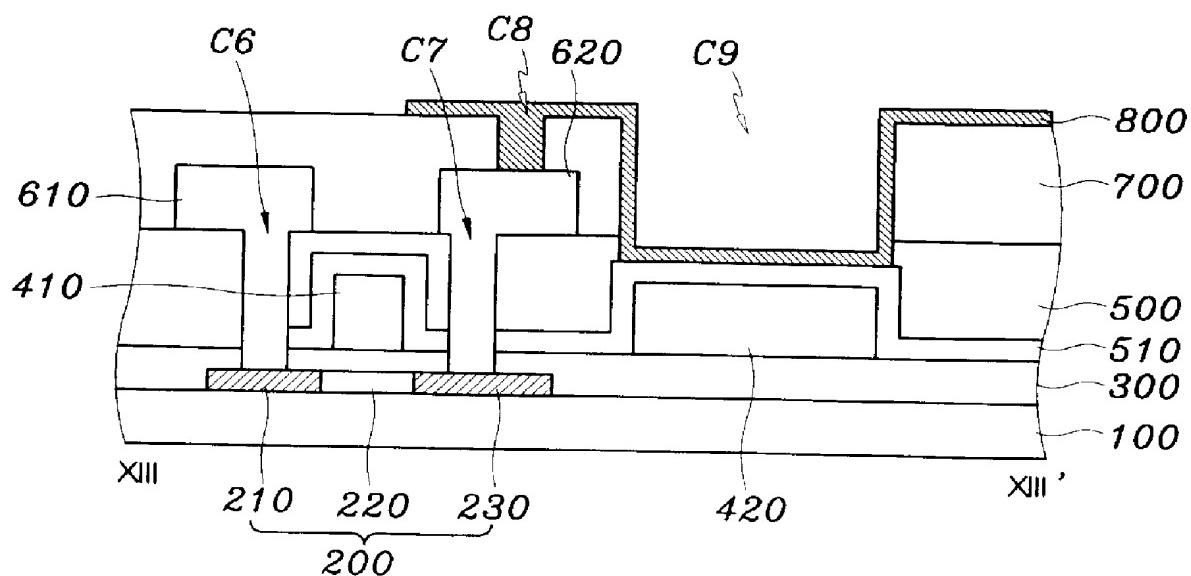


图 14

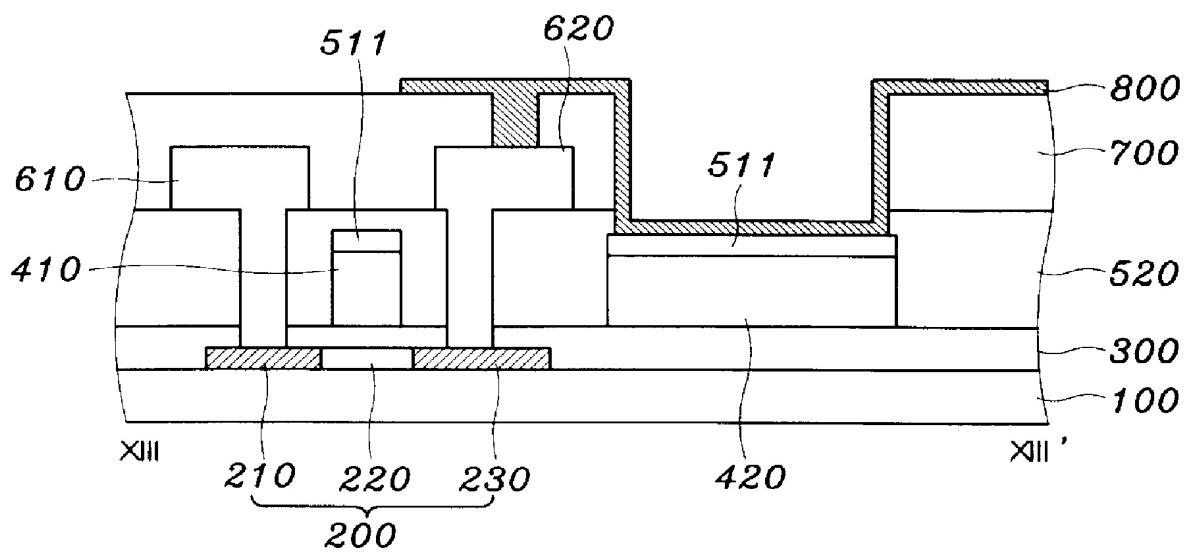


图 15

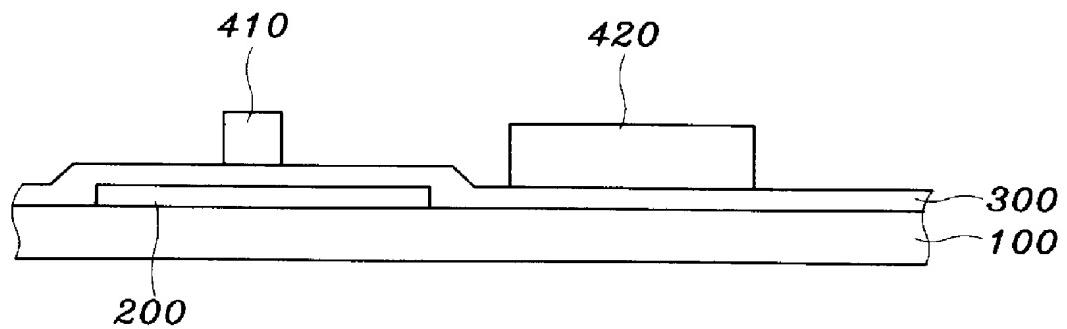


图 16A

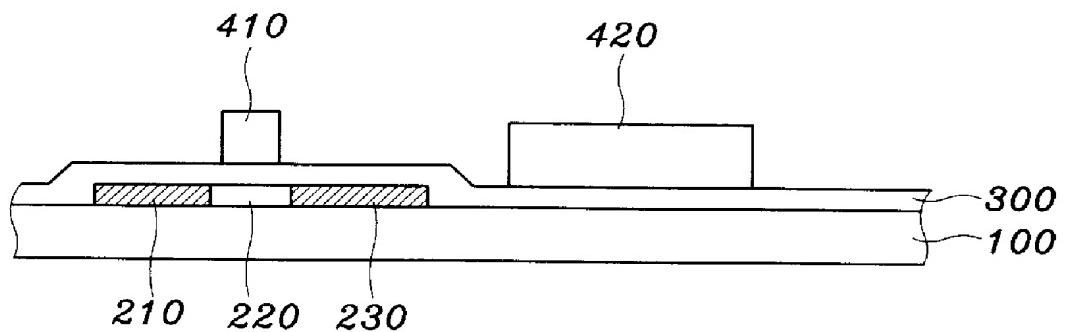


图 16B

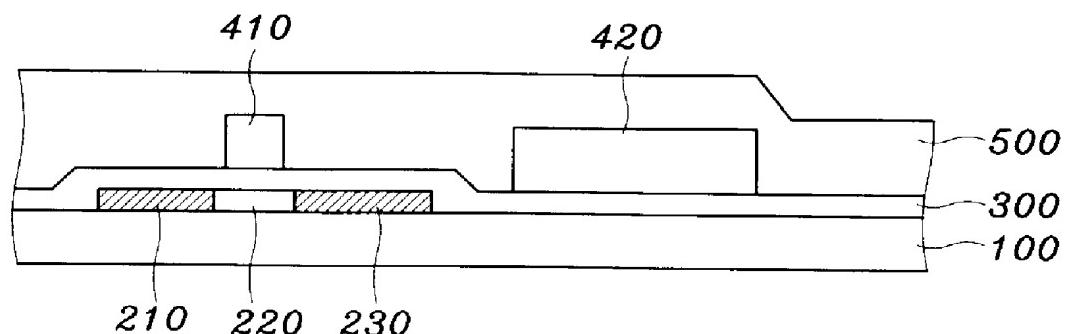


图 16C

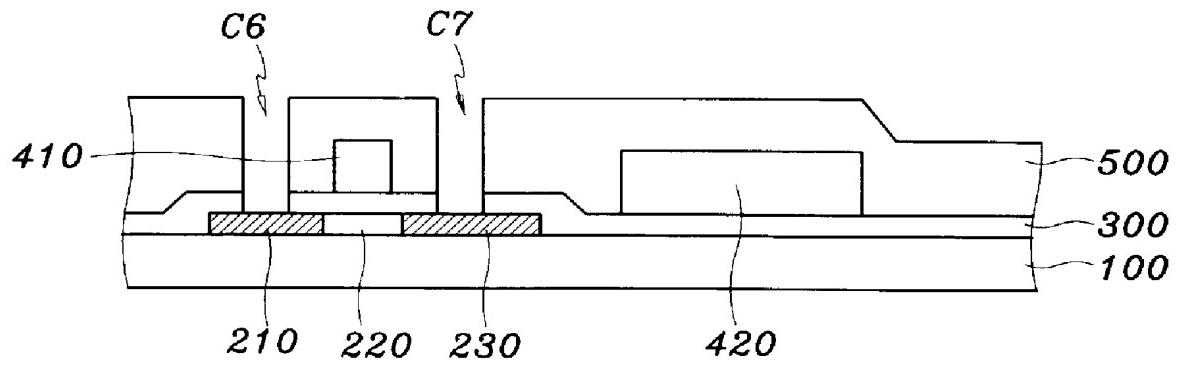


图 16D

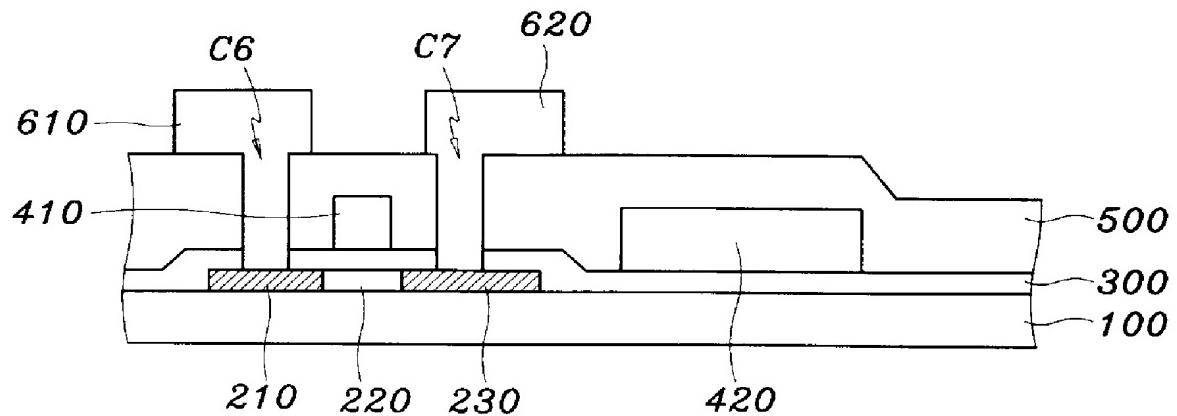


图 16E

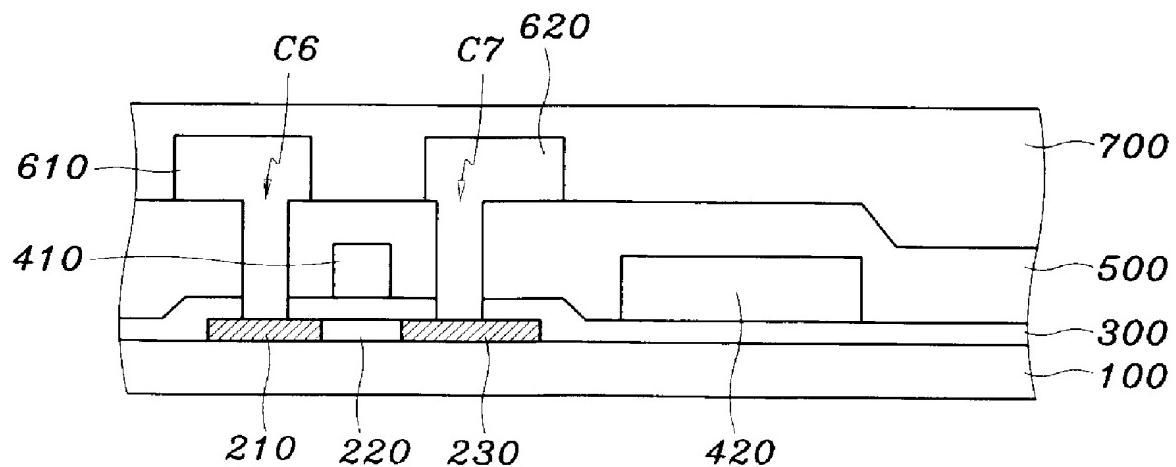


图 16F

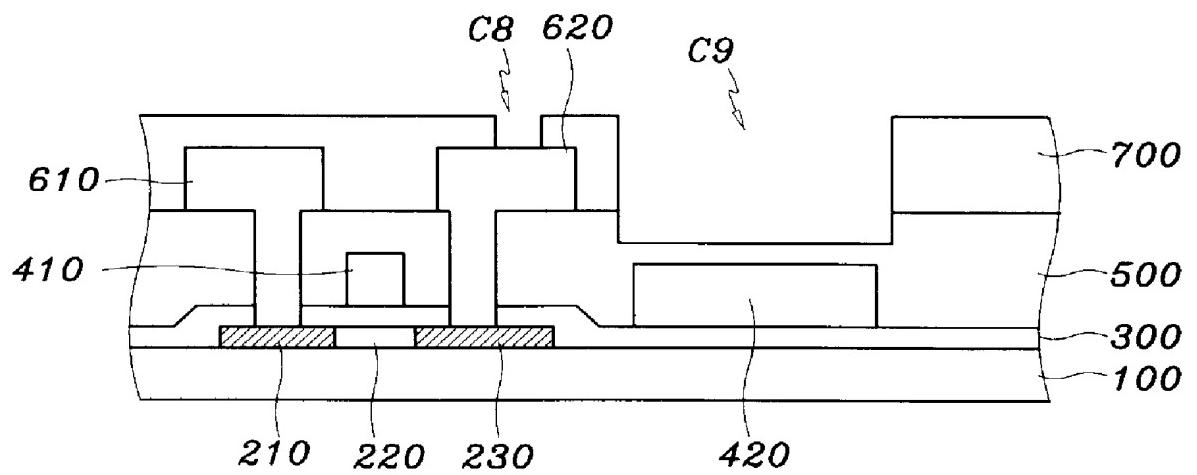


图 16G

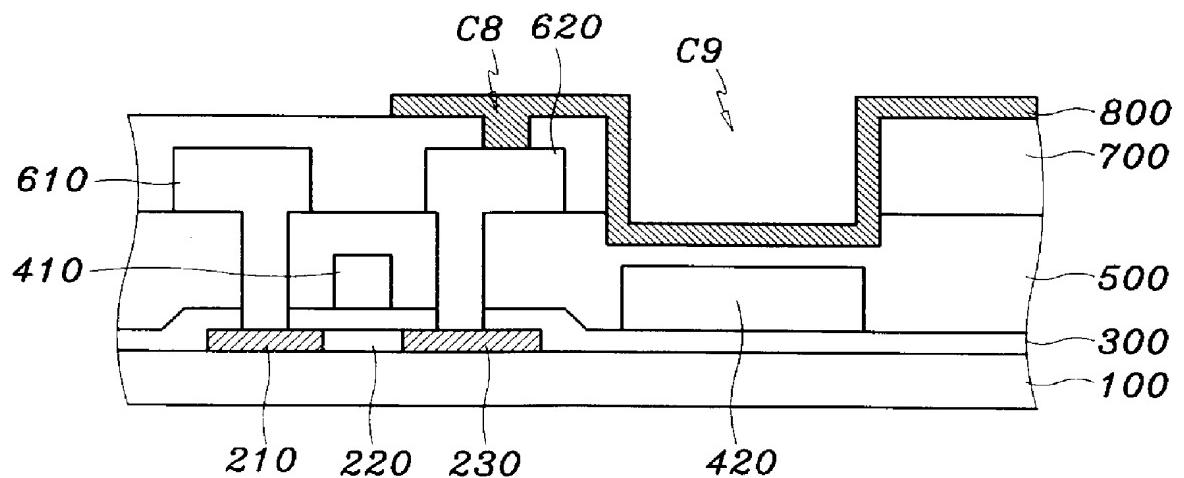


图 16H

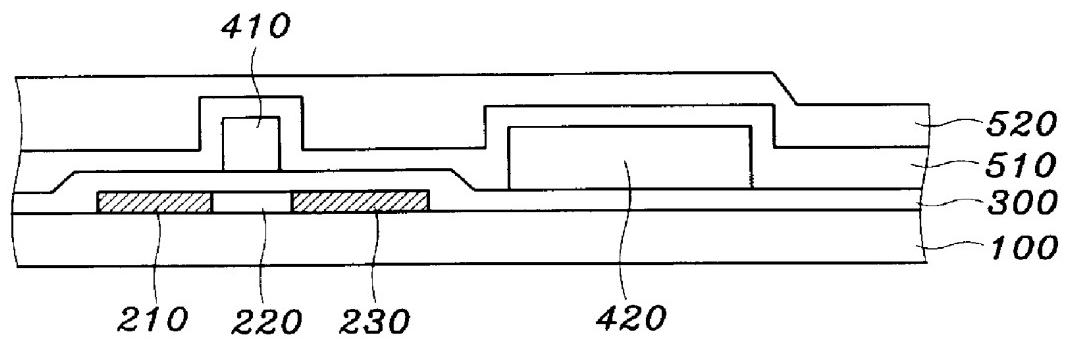


图 17A

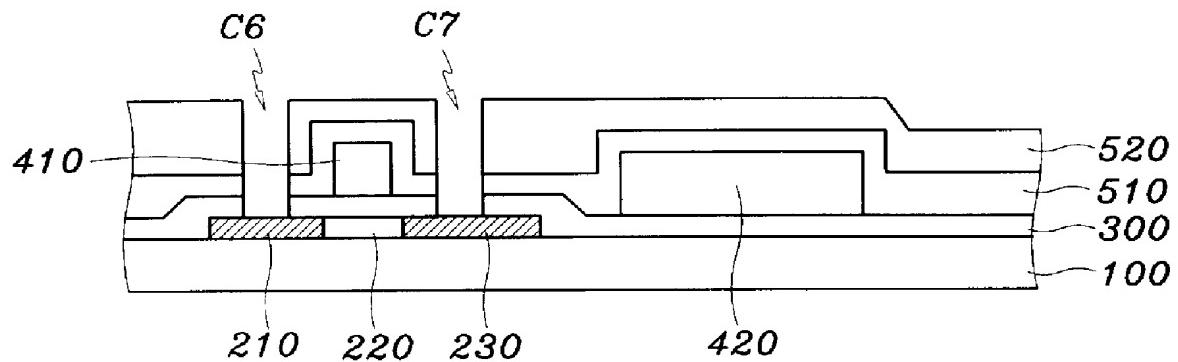


图 17B

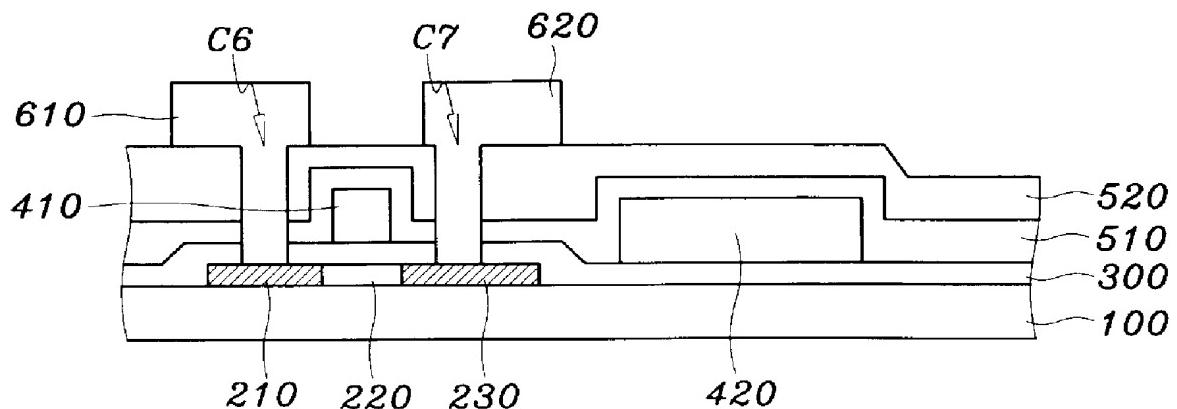


图 17C

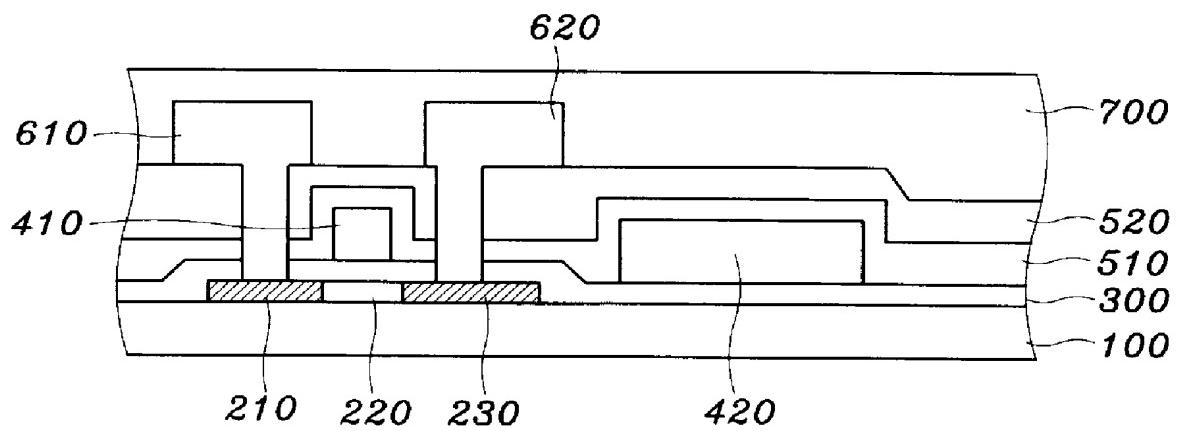


图 17D

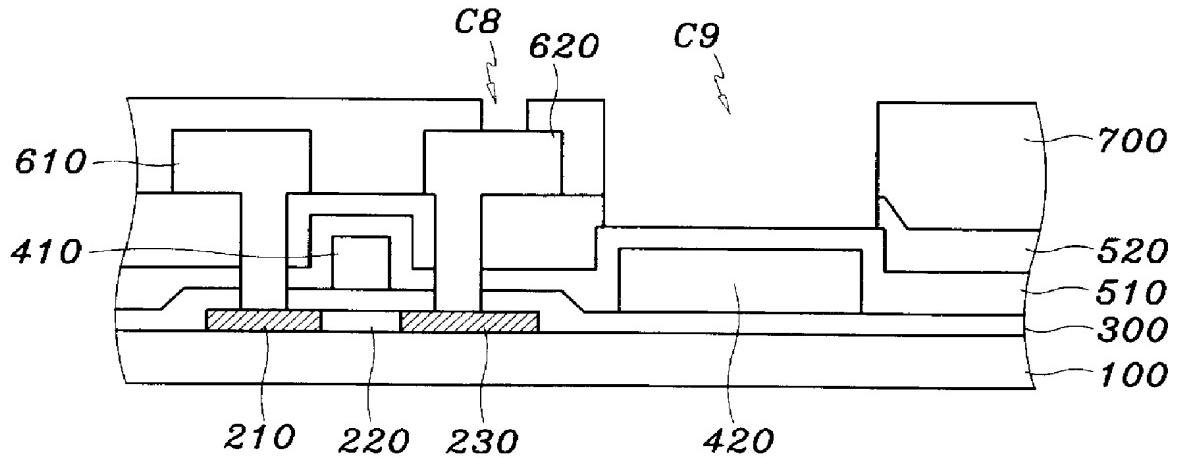


图 17E

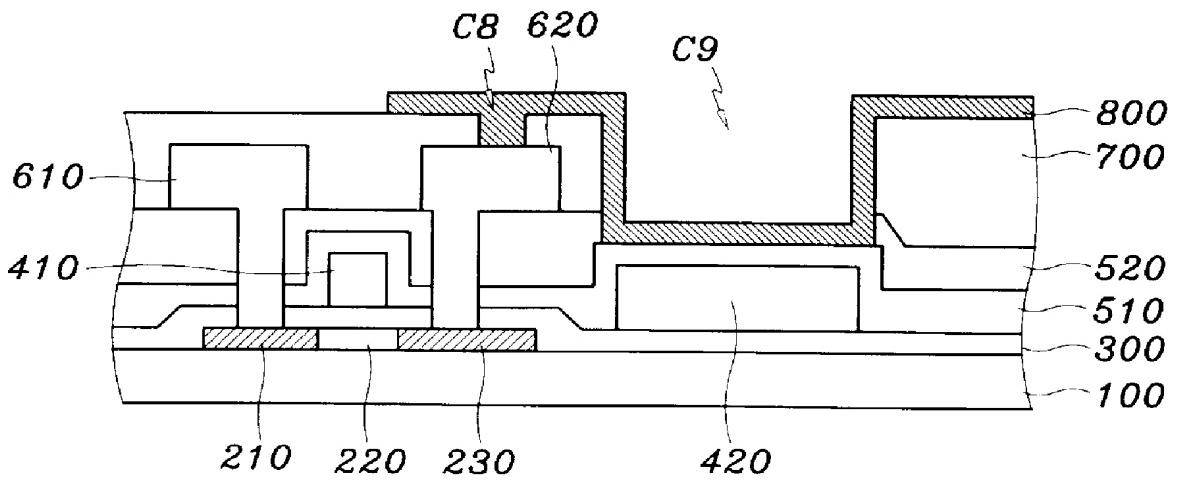


图 17F

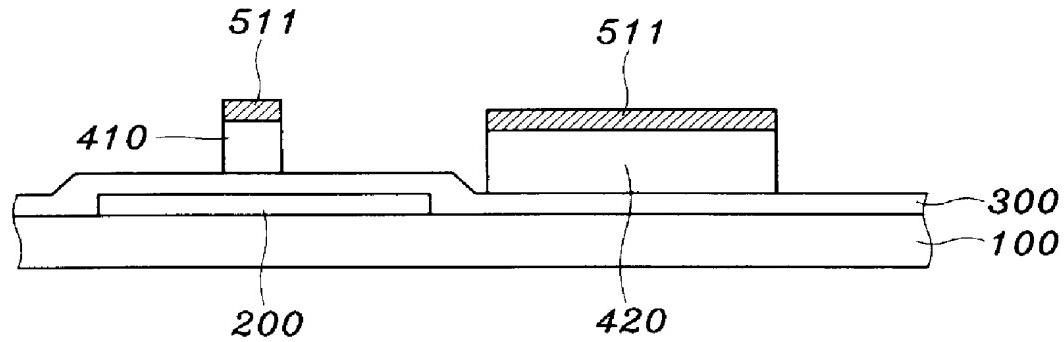


图 18A

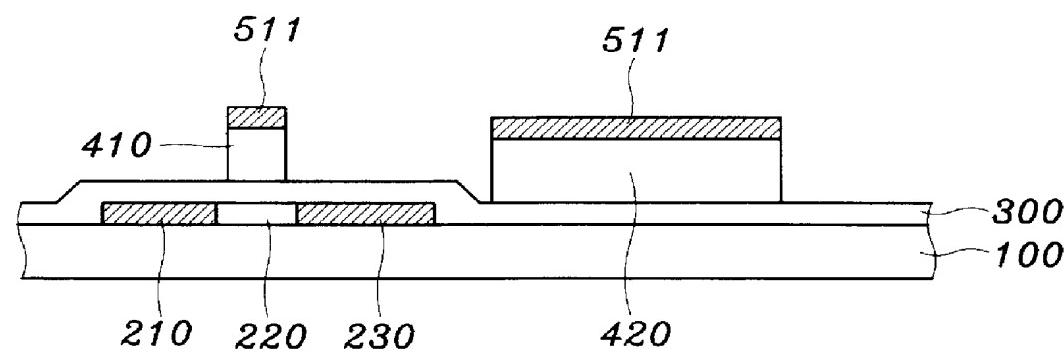


图 18B

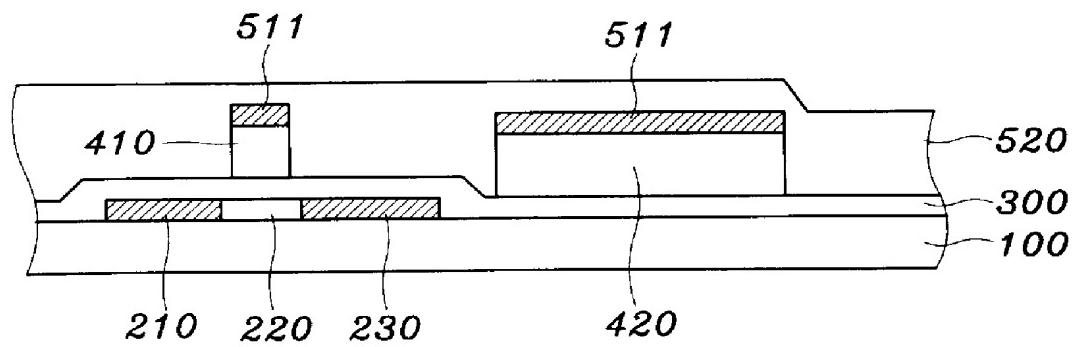


图 18C

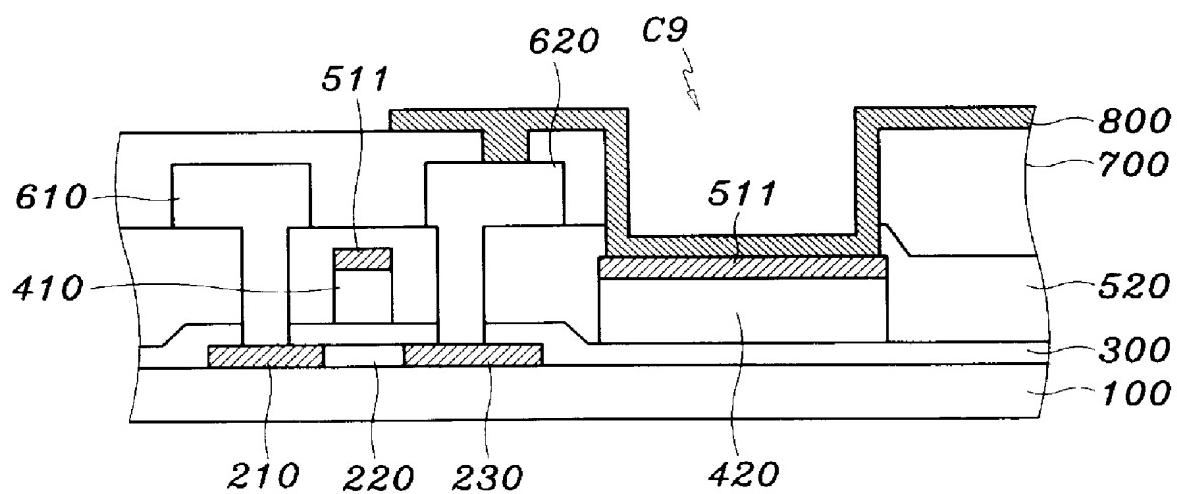


图 18D

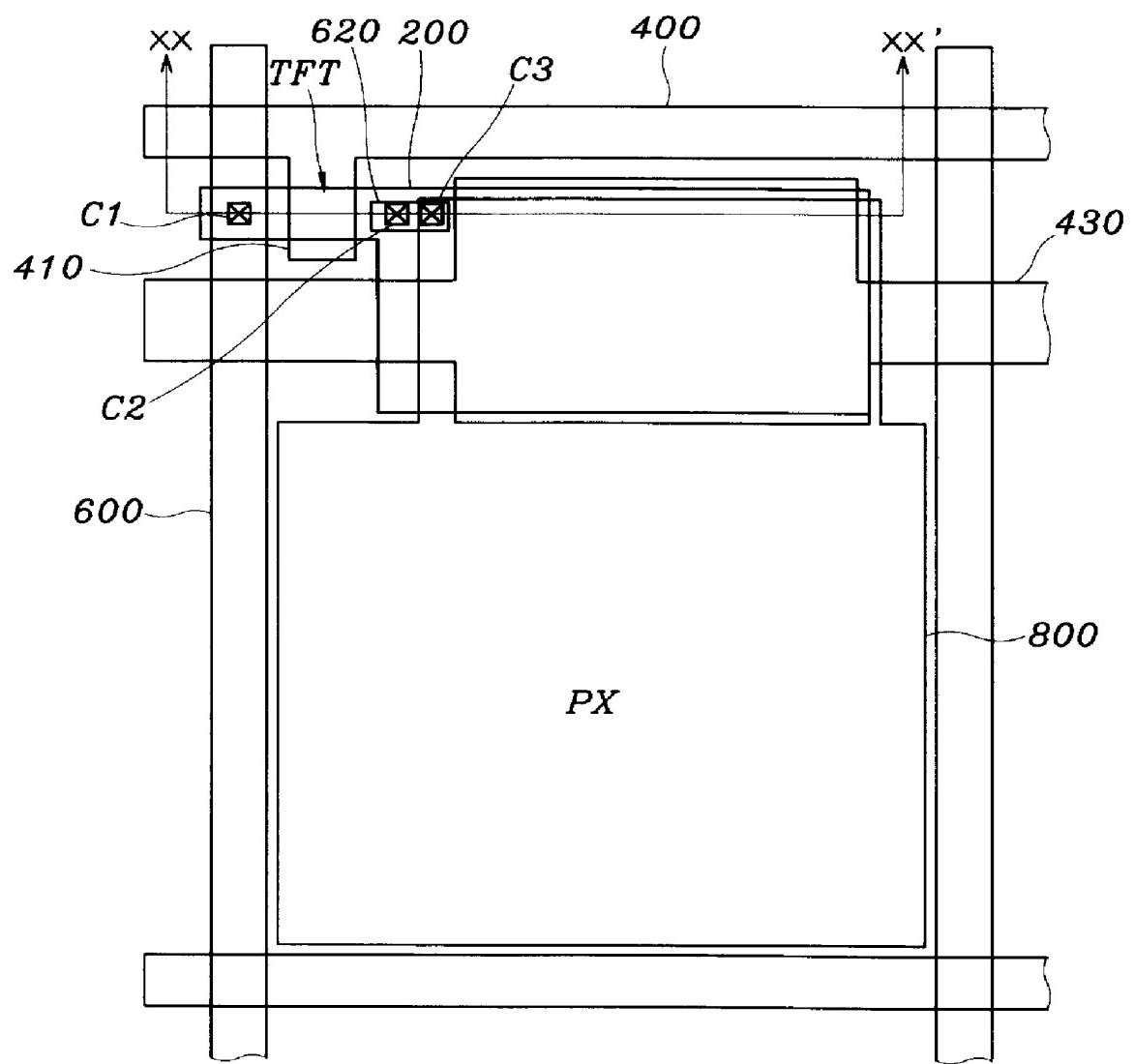


图 19

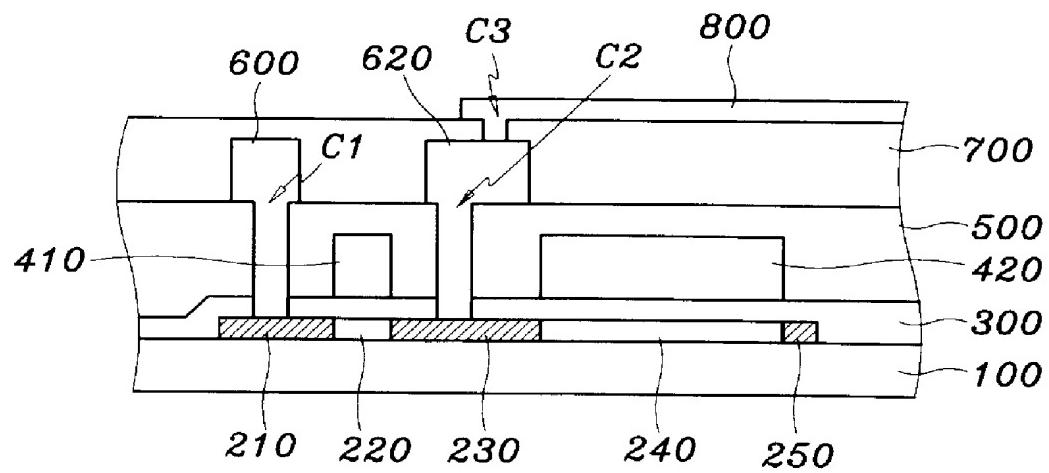


图 20

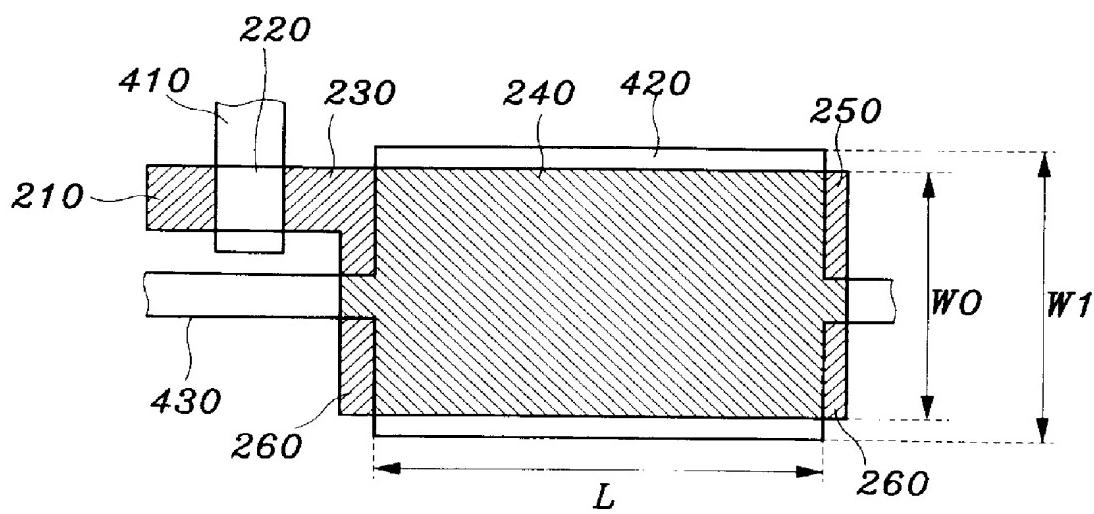


图 21

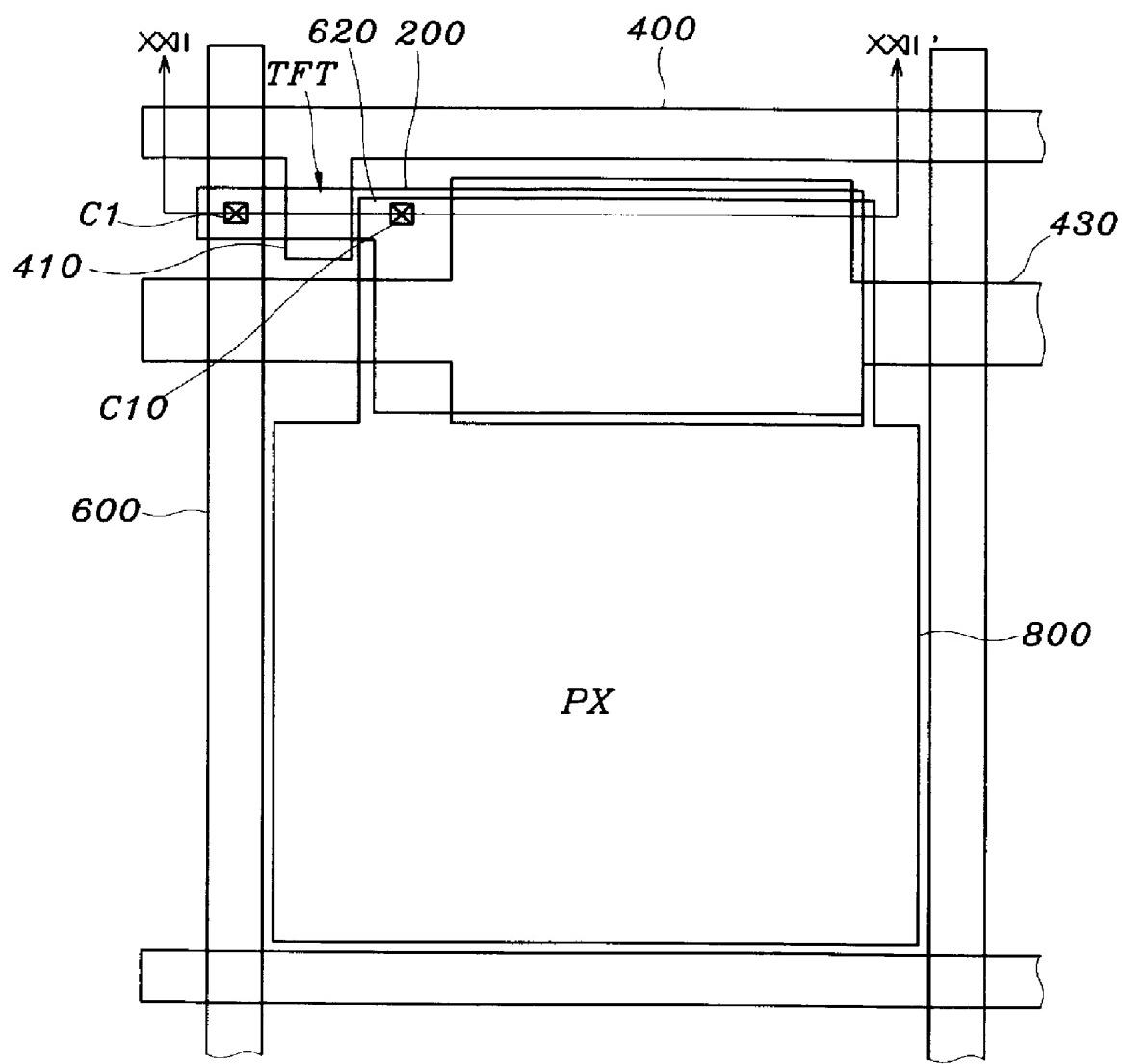


图 22

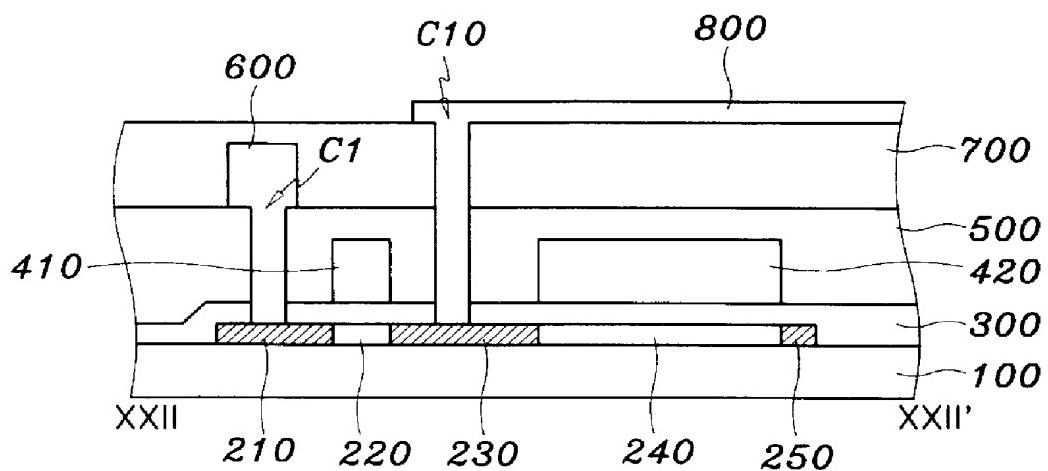


图 23

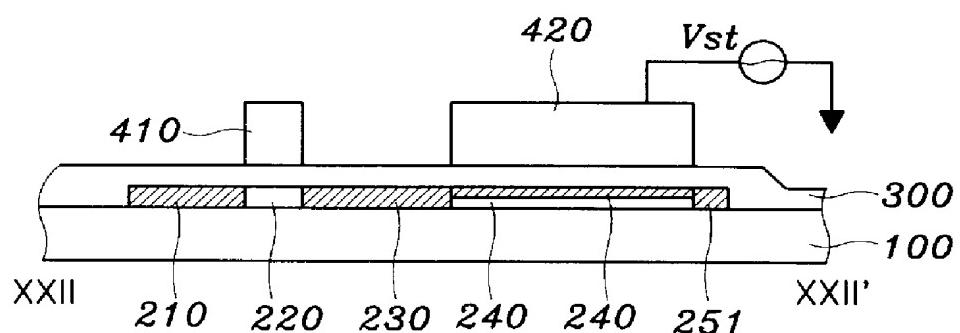


图 24

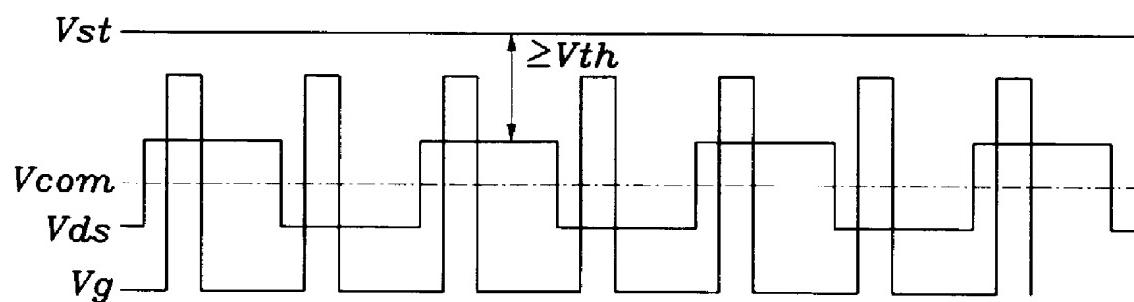


图 25

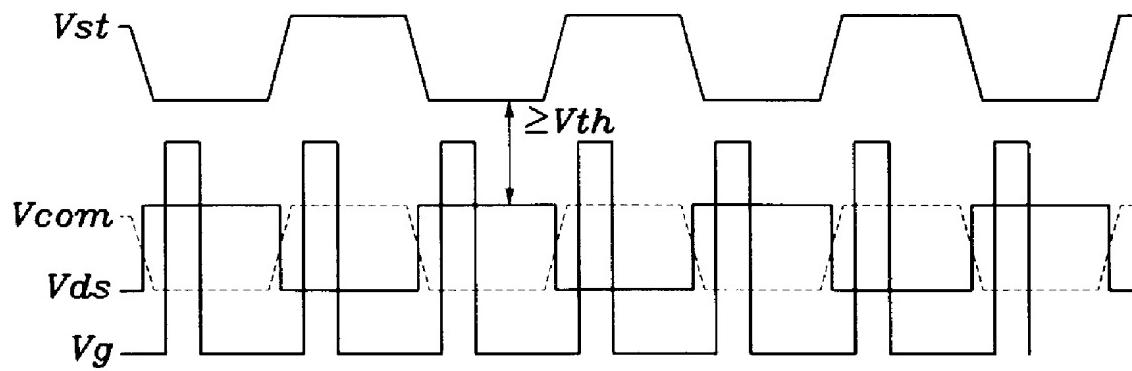


图 26

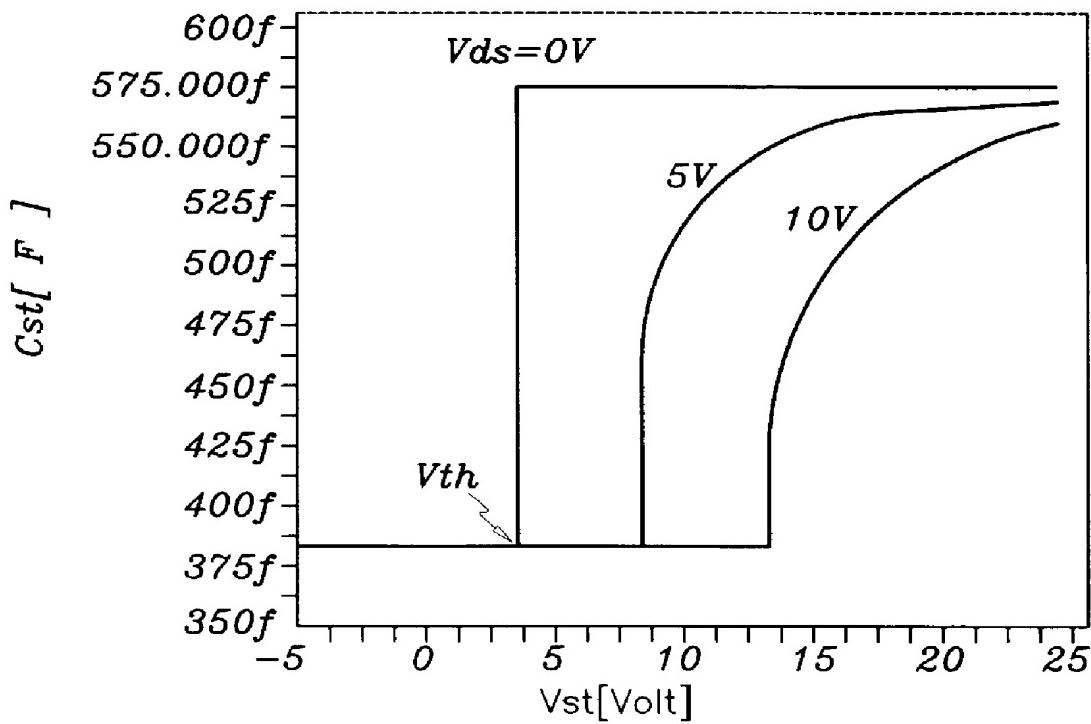


图 27

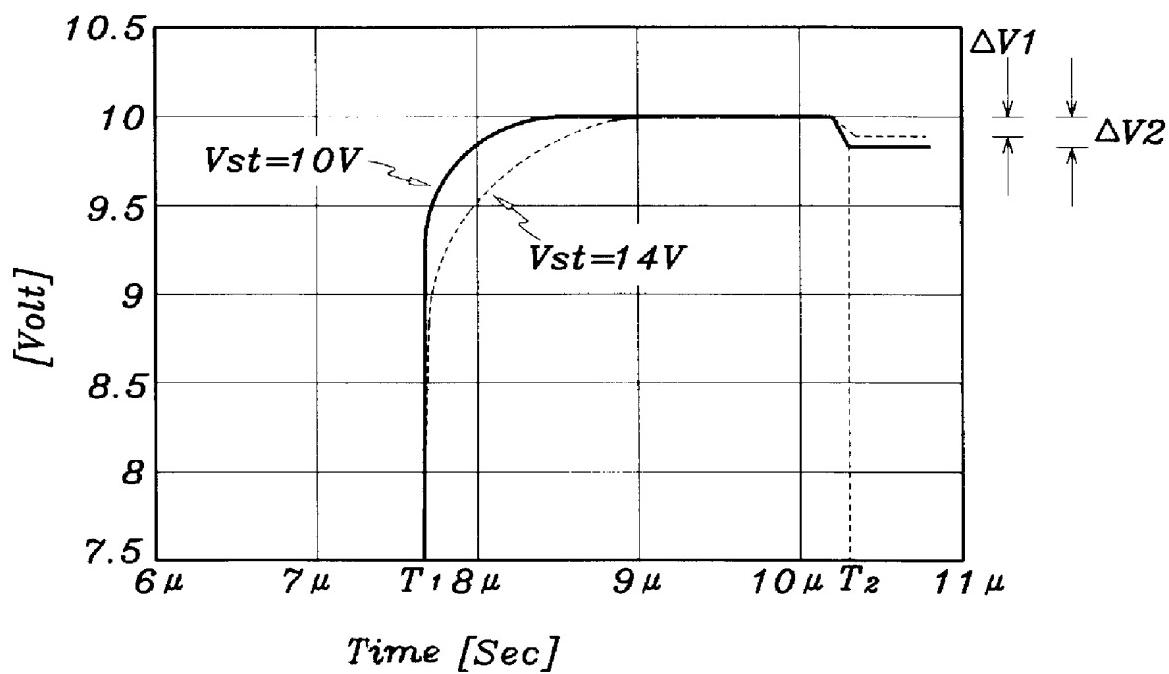


图 28

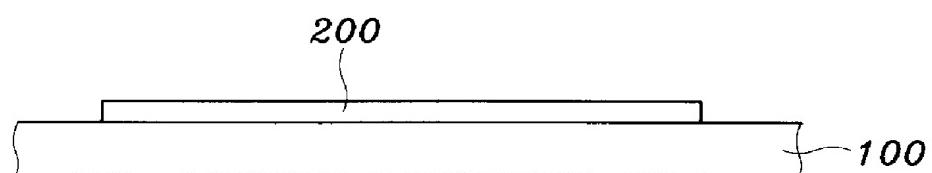


图 29A

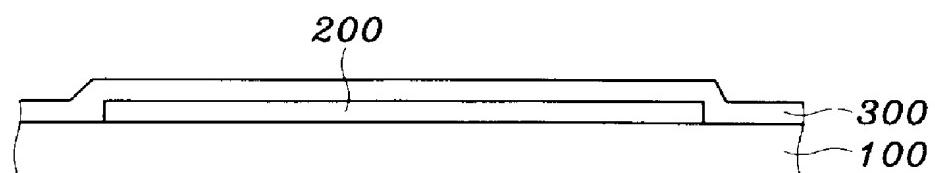


图 29B

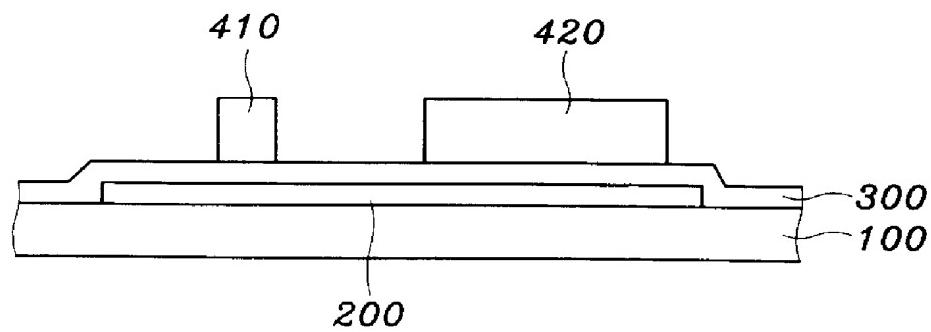


图 29C

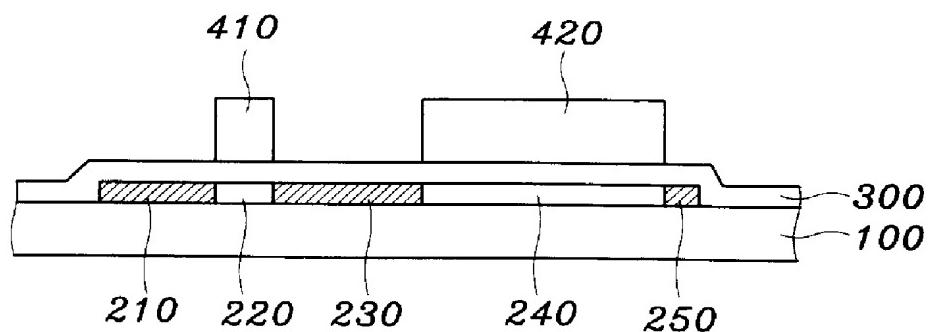


图 29D

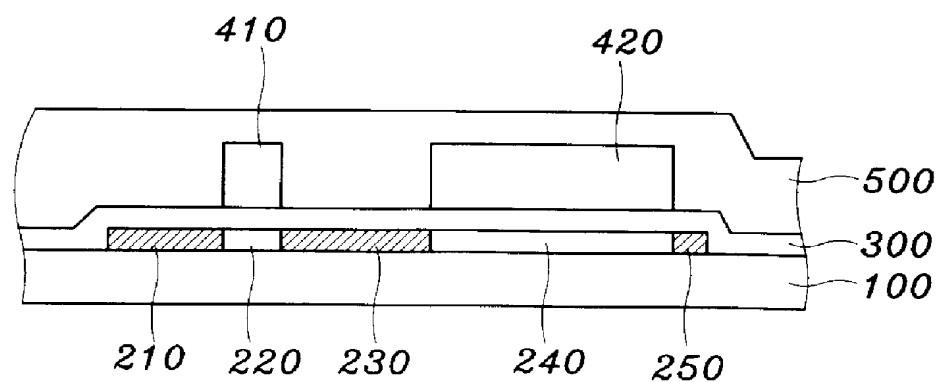


图 29E

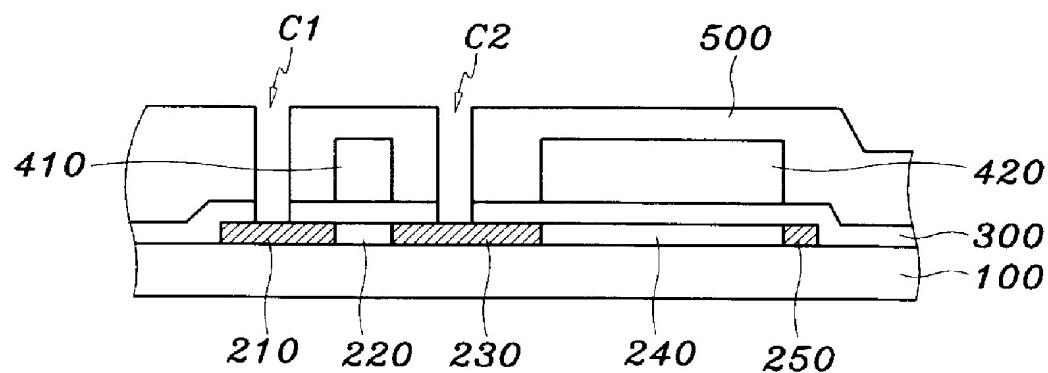


图 29F

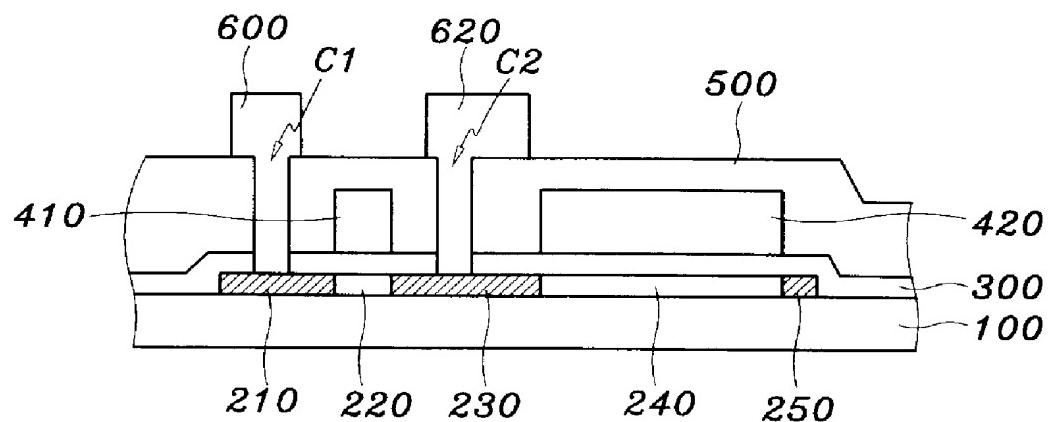


图 29G

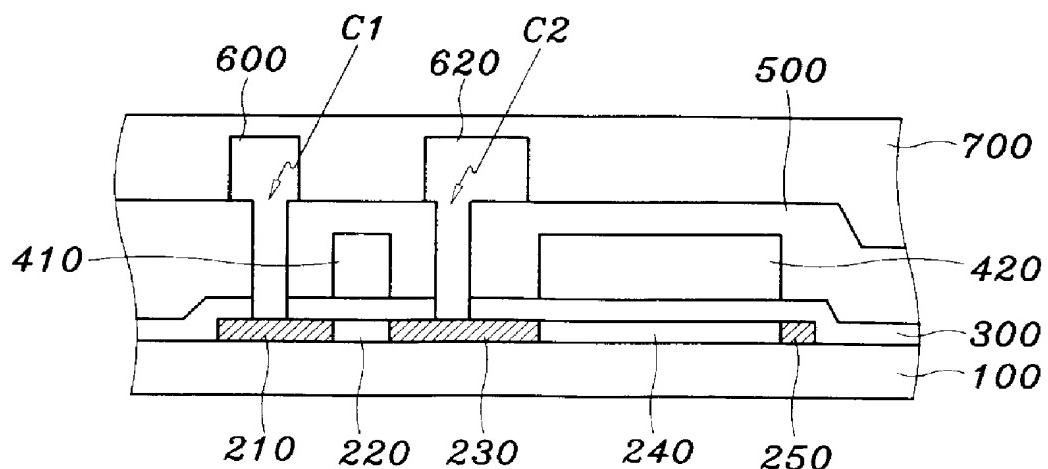


图 29H

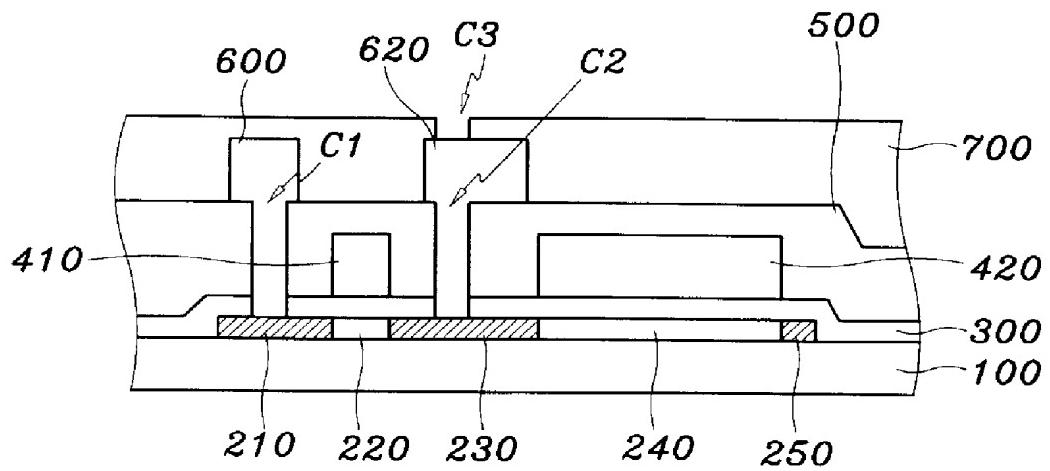


图 29I

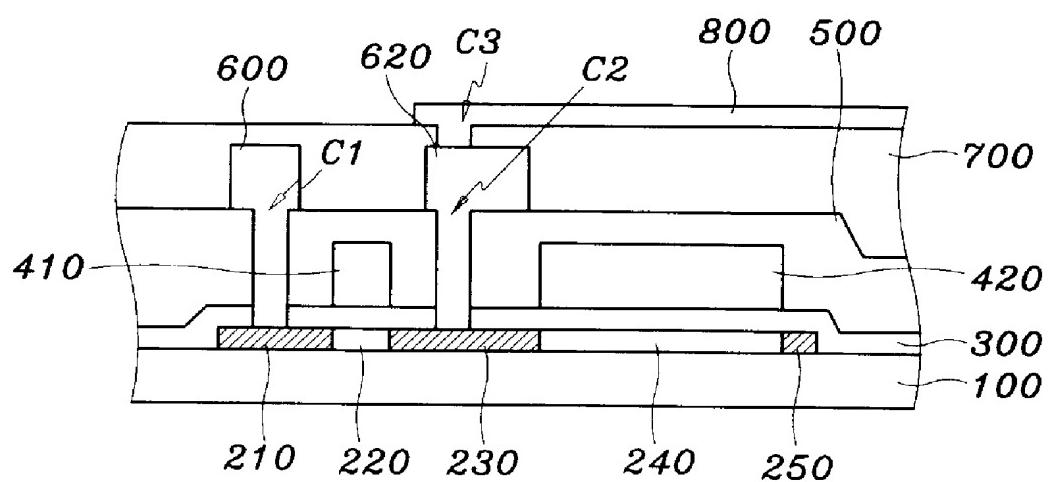


图 29J

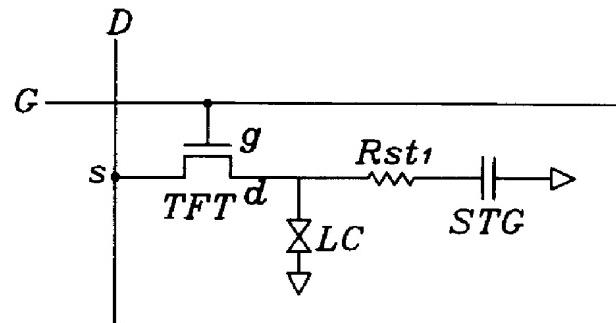


图 30

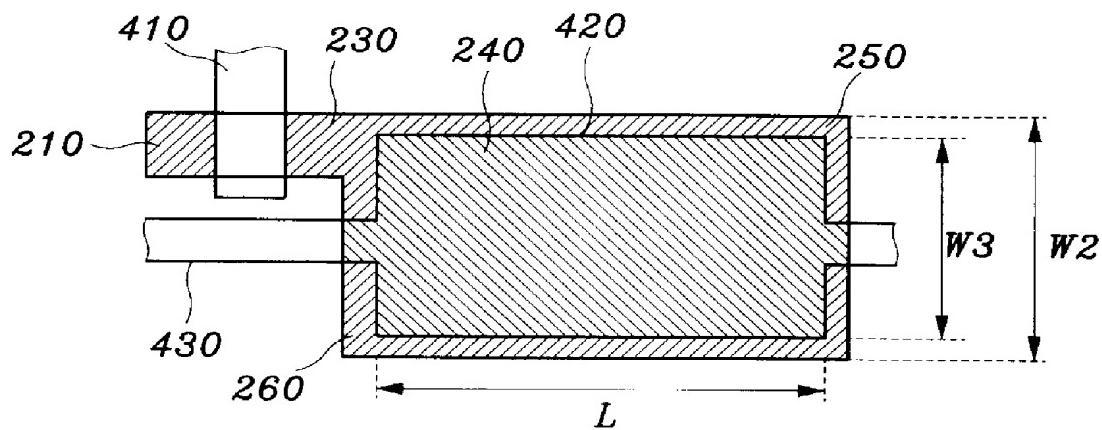


图 31

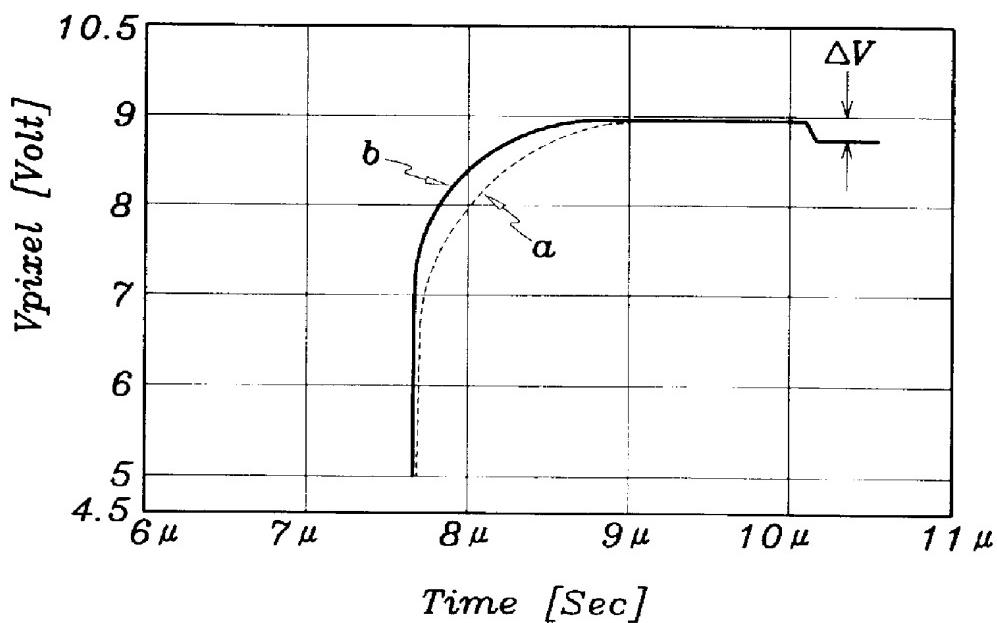


图 32

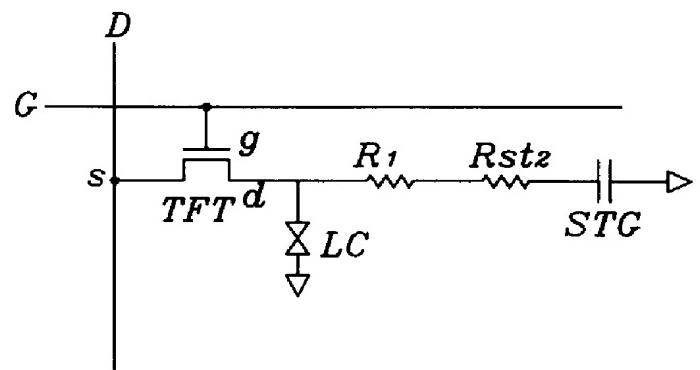


图 33

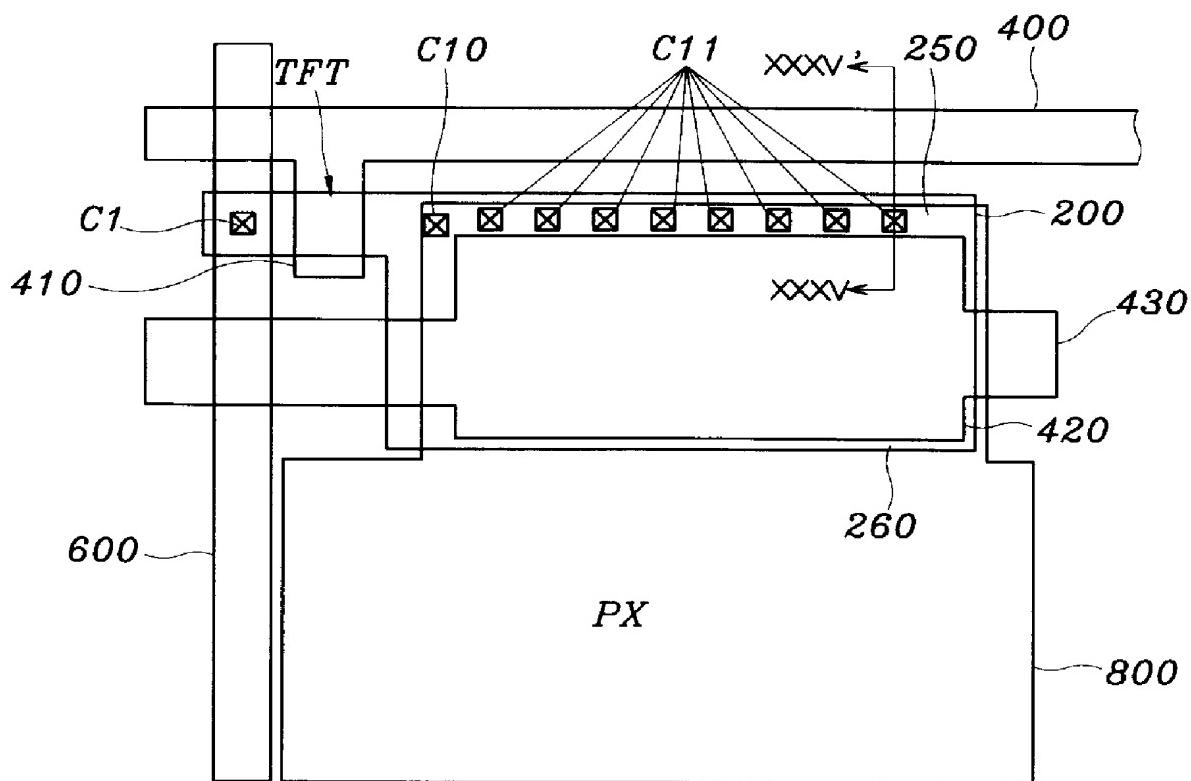


图 34

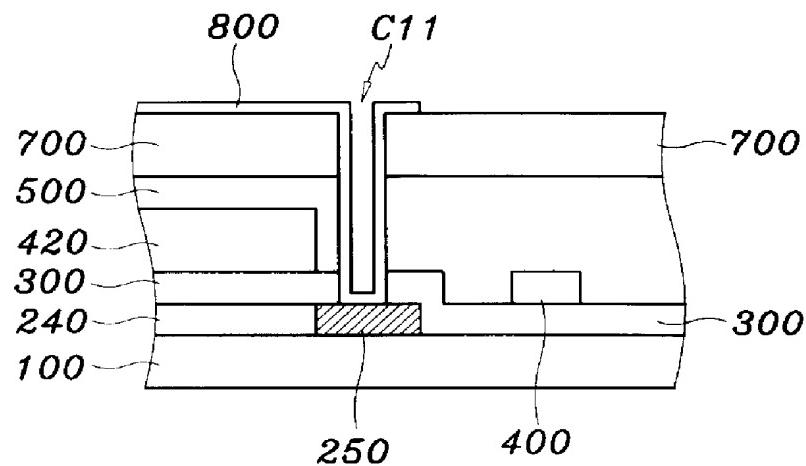


图 35

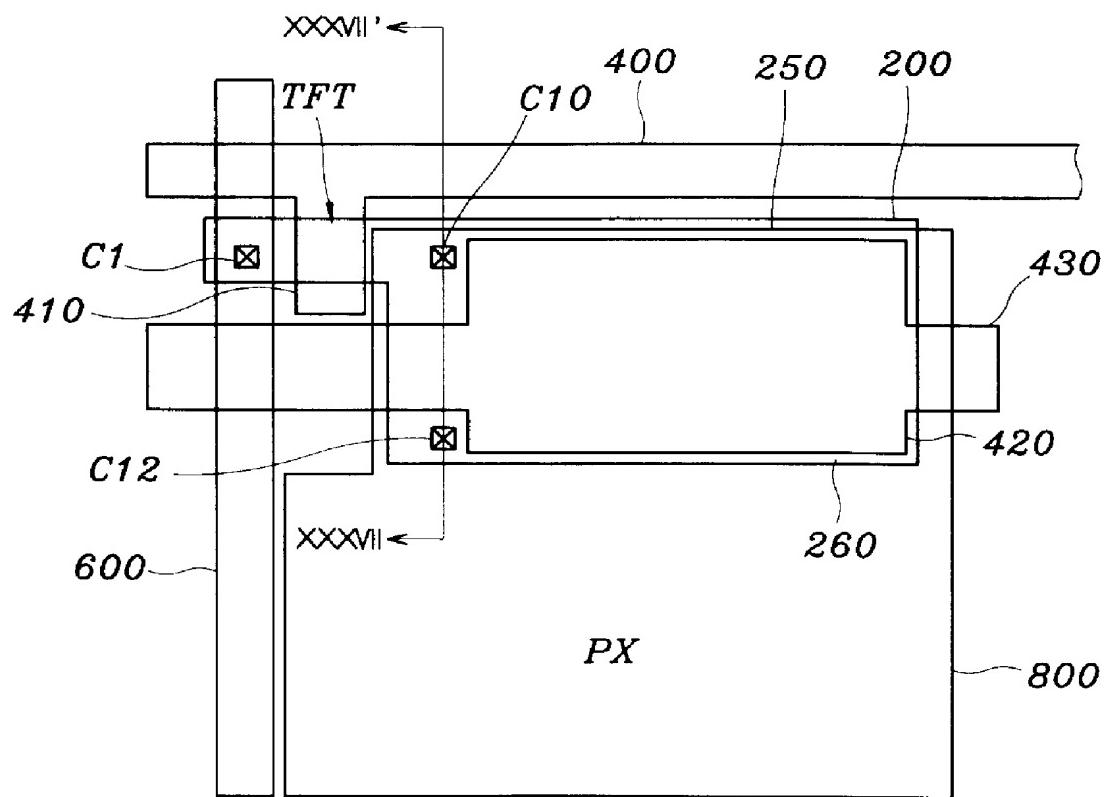


图 36

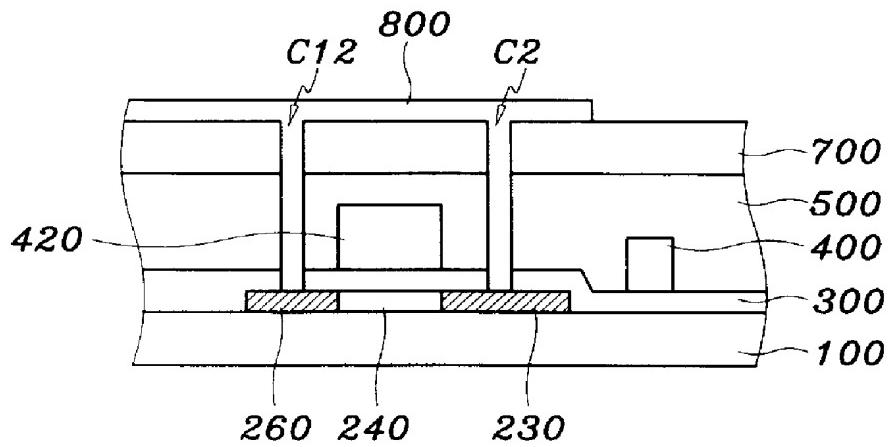


图 37

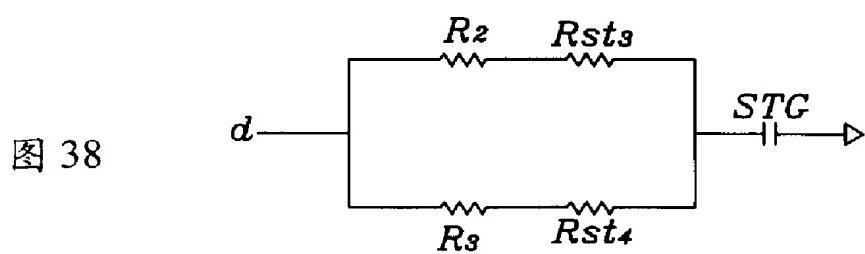


图 38

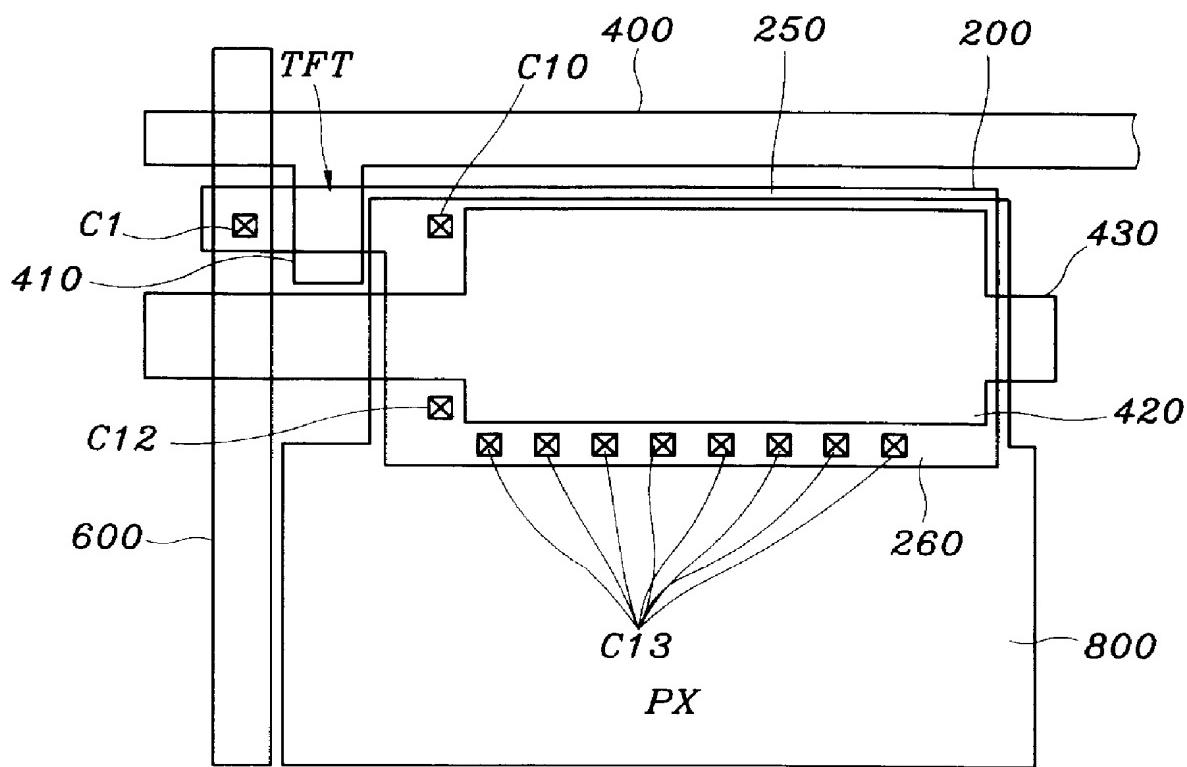


图 39

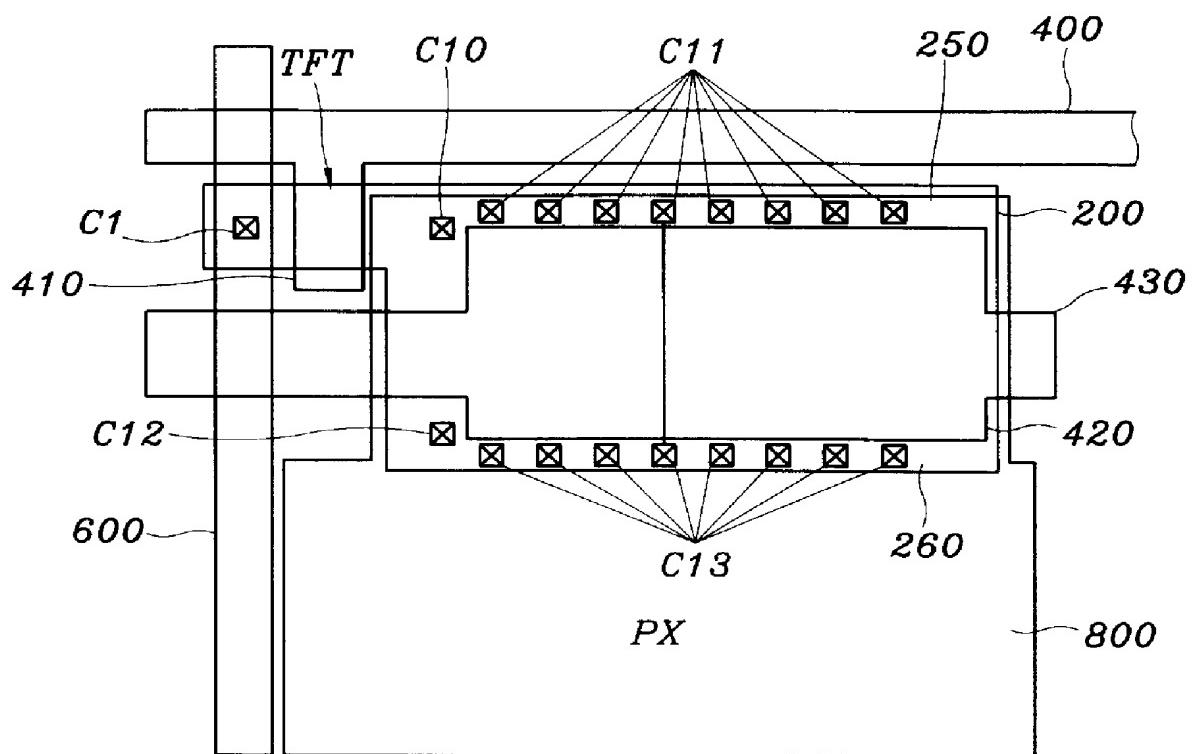


图 40

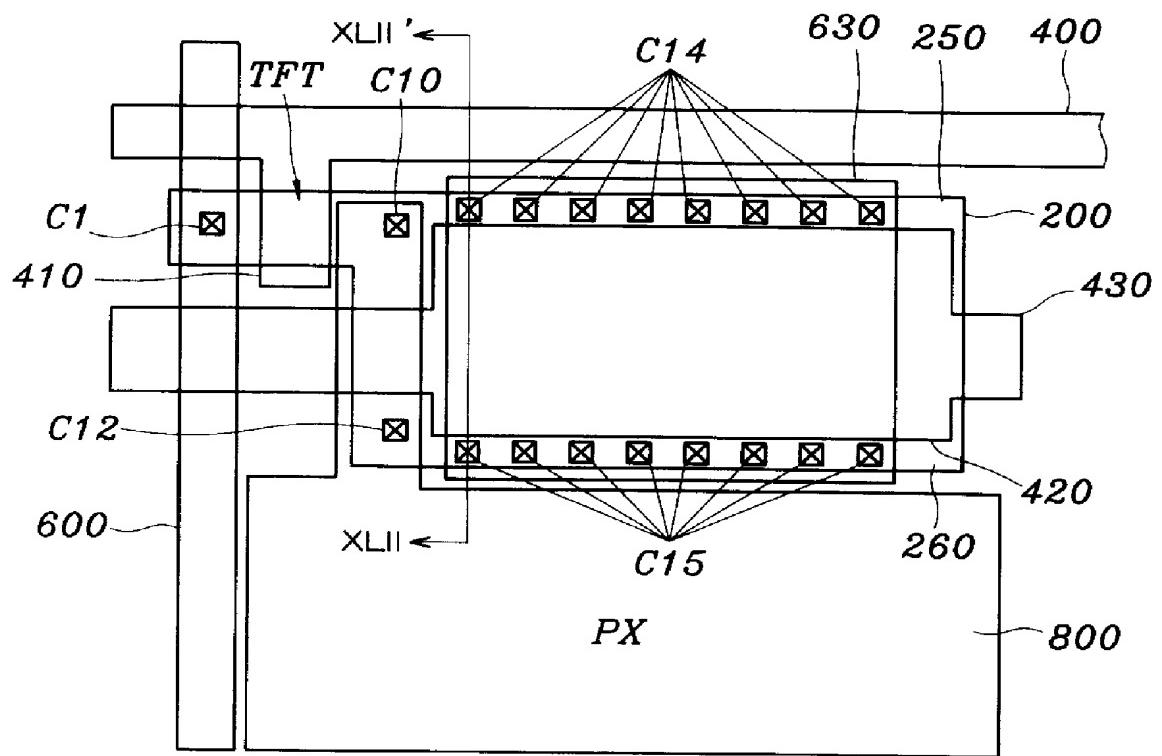


图 41

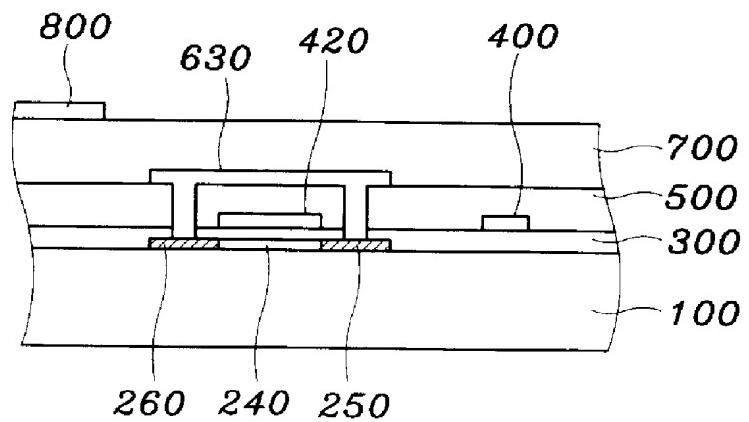


图 42

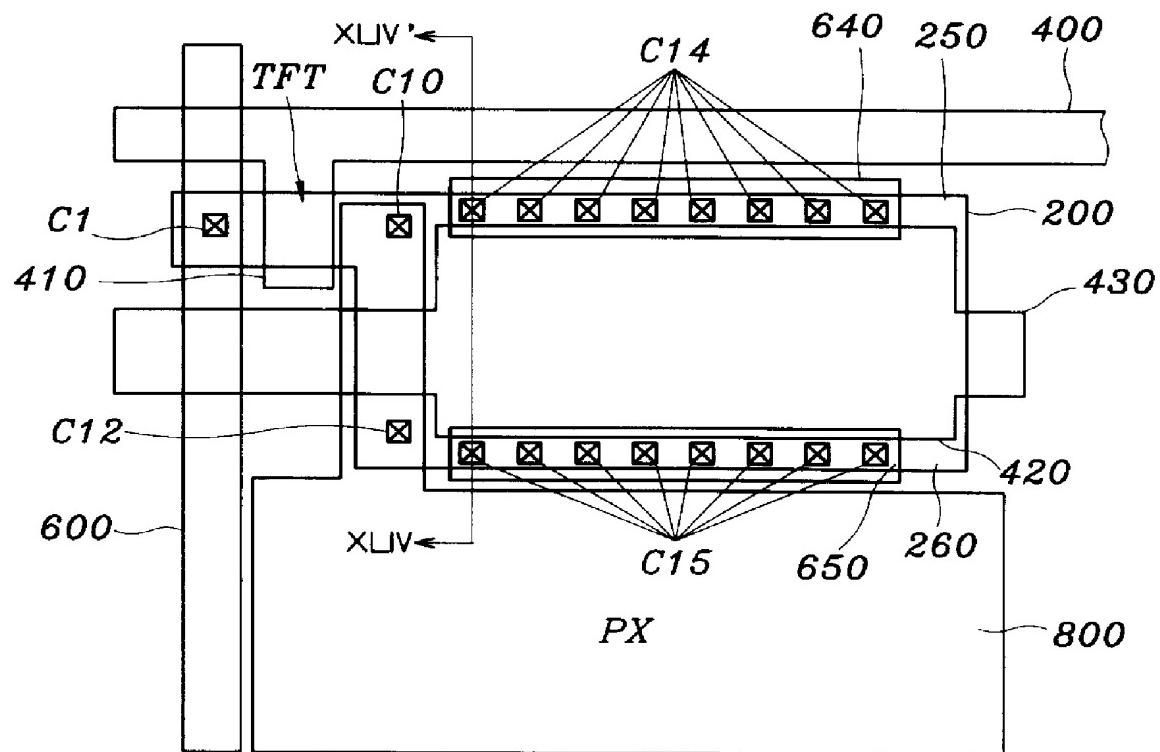


图 43

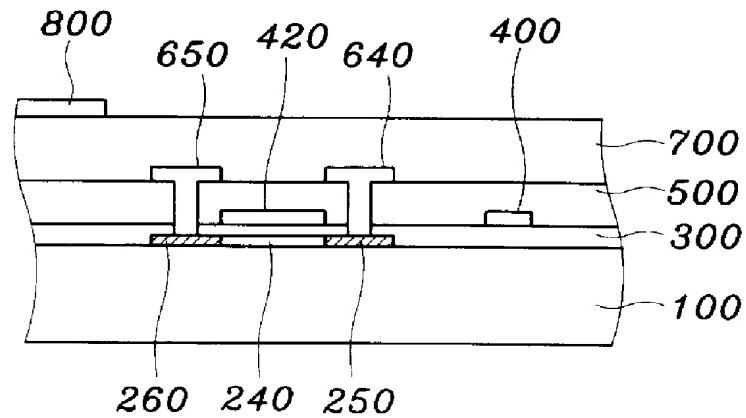


图 44

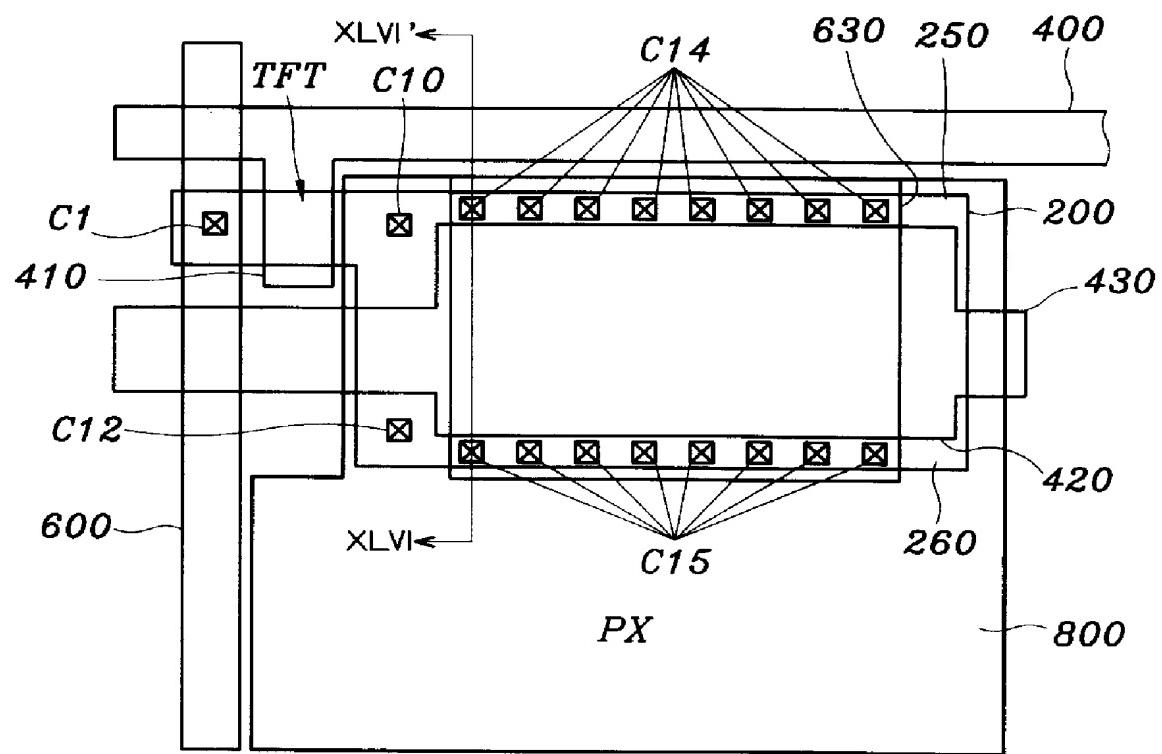


图 45

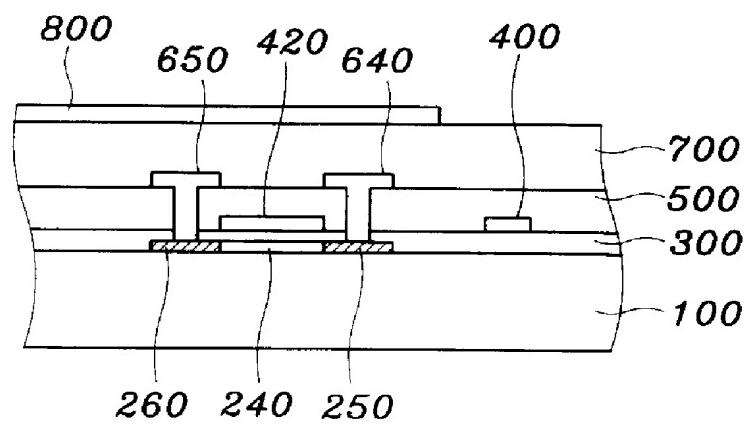


图 46

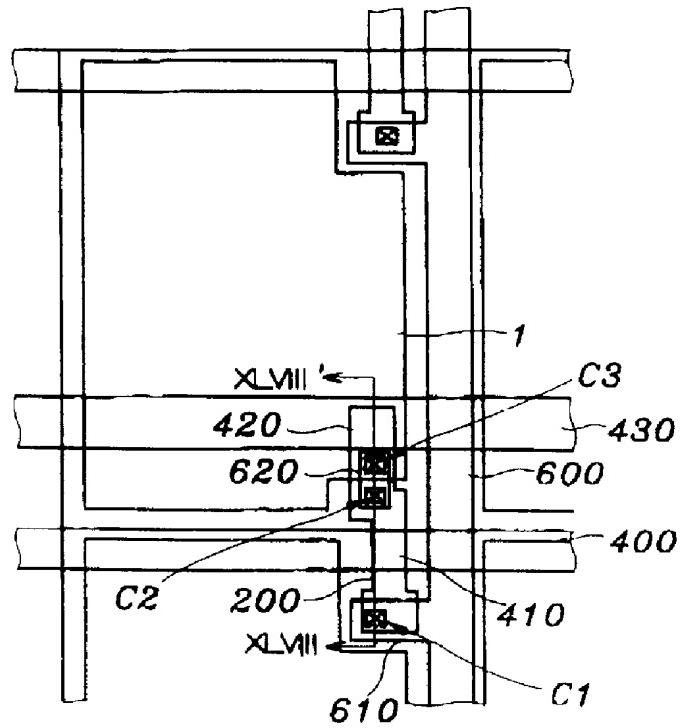


图 47

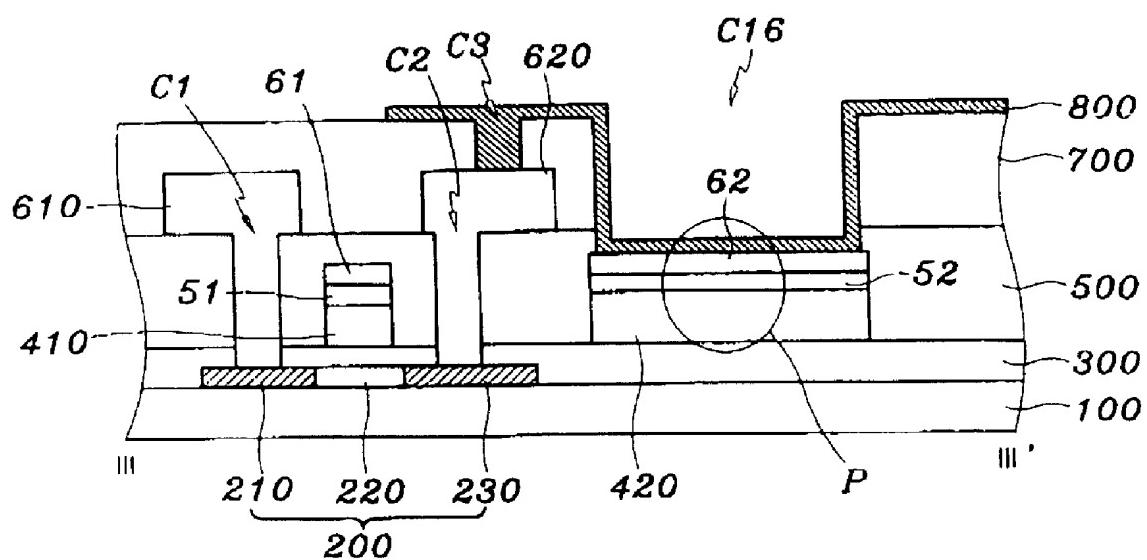


图 48

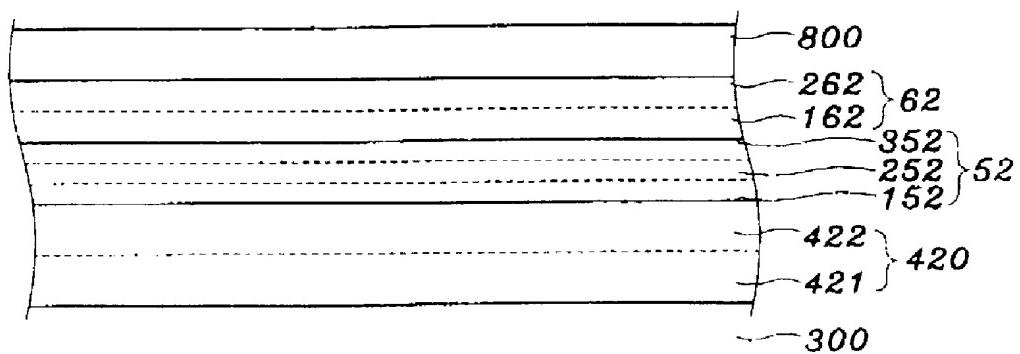


图 49

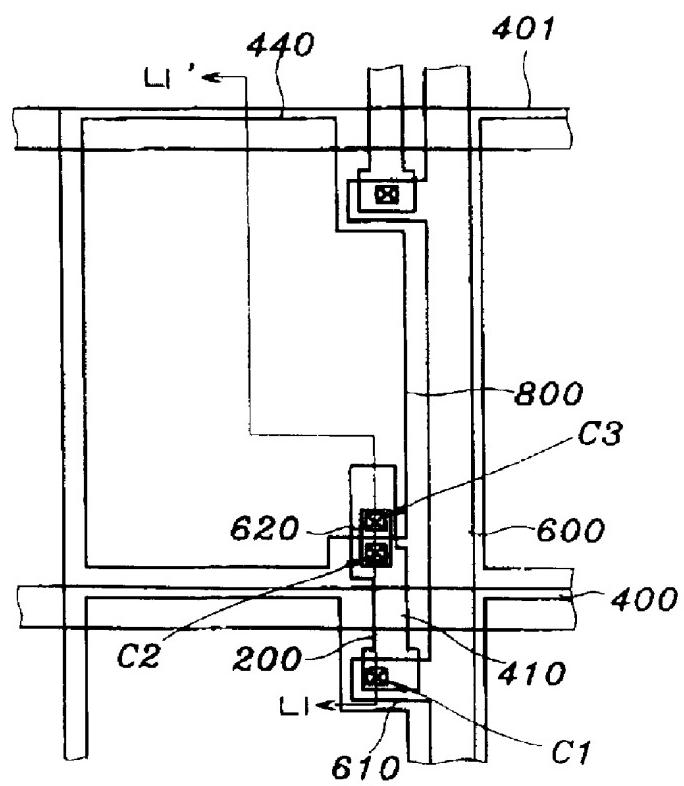


图 50

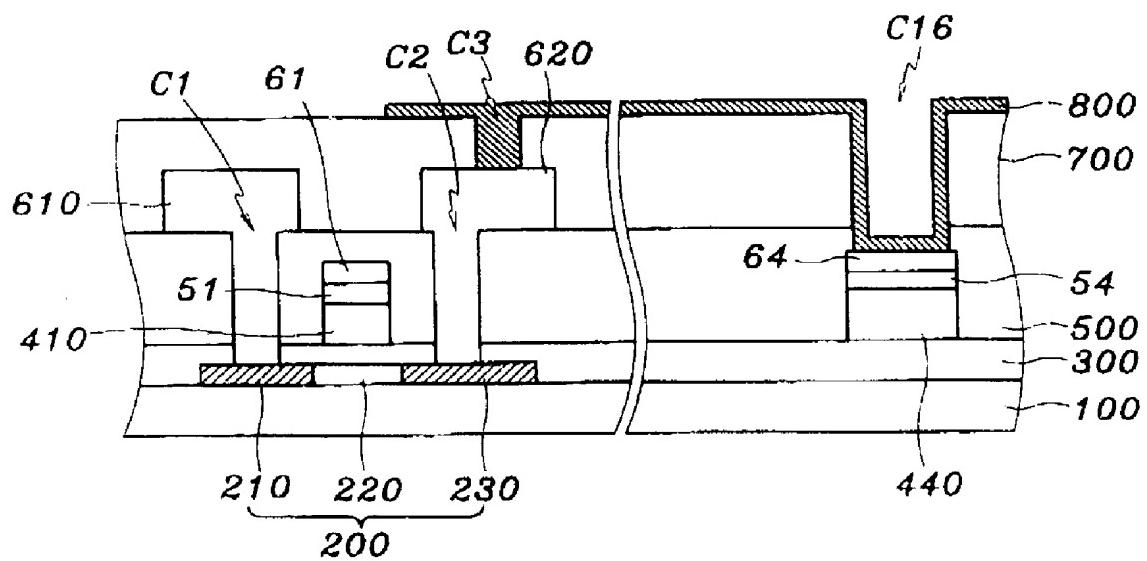


图 51

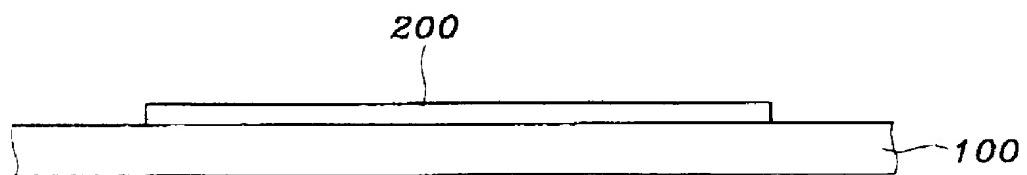


图 52A

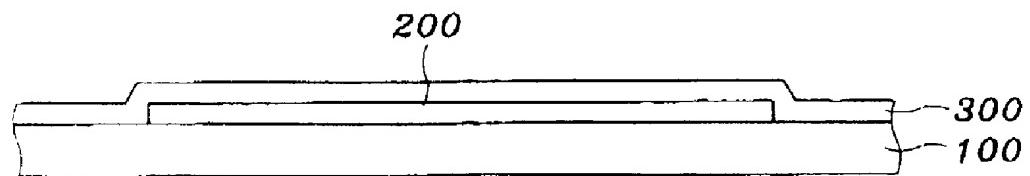


图 52B

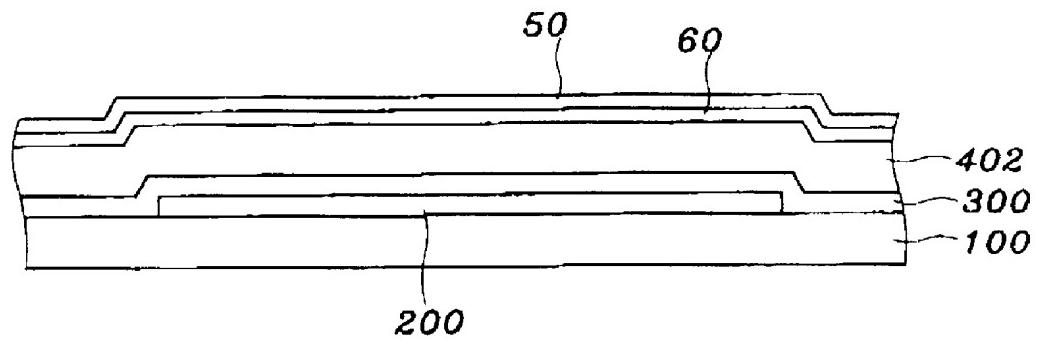


图 52C

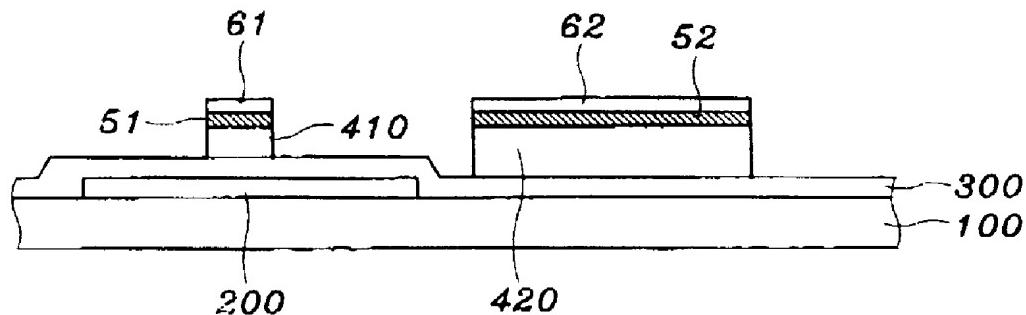


图 52D

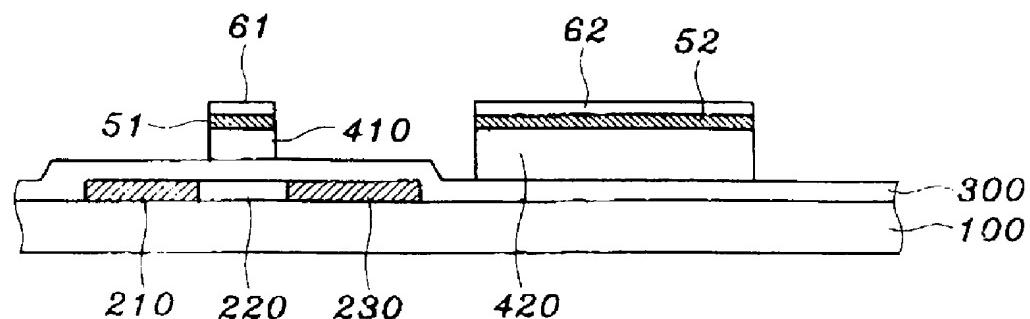


图 52E

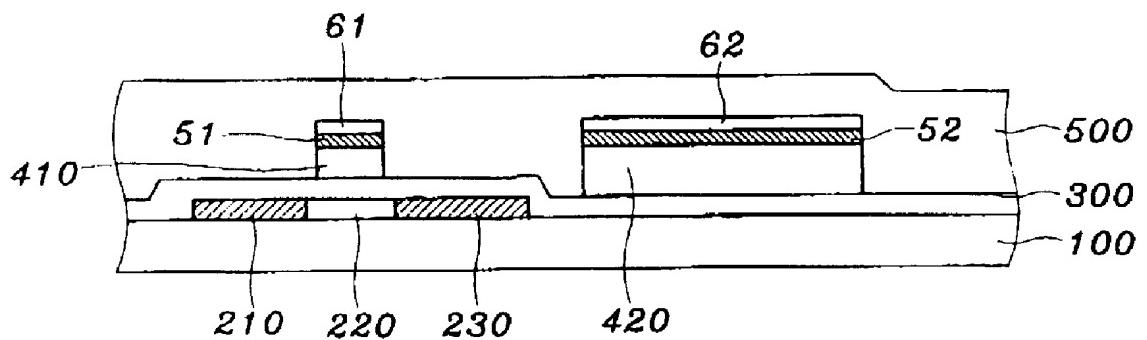


图 52F

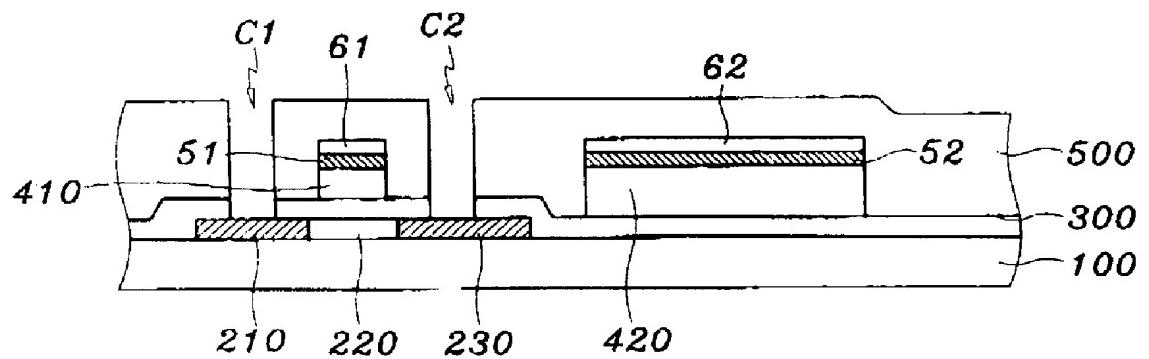


图 52G

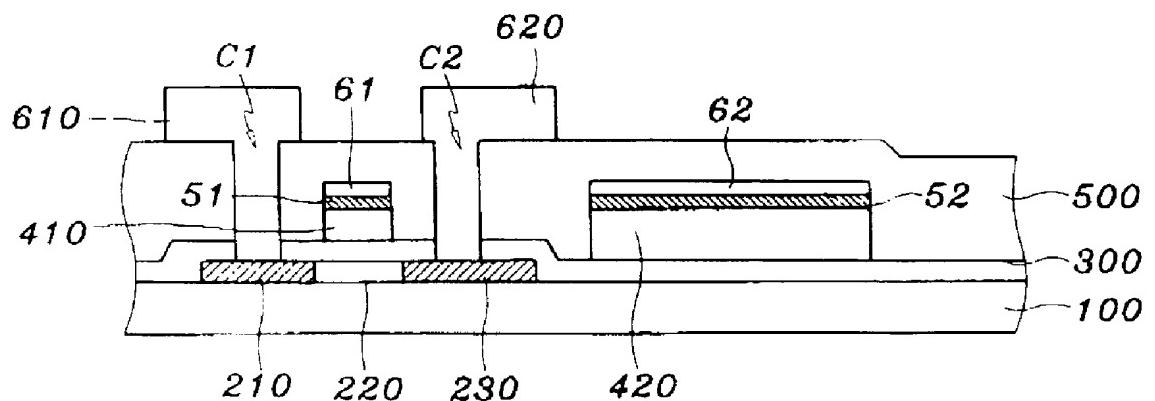


图 52H

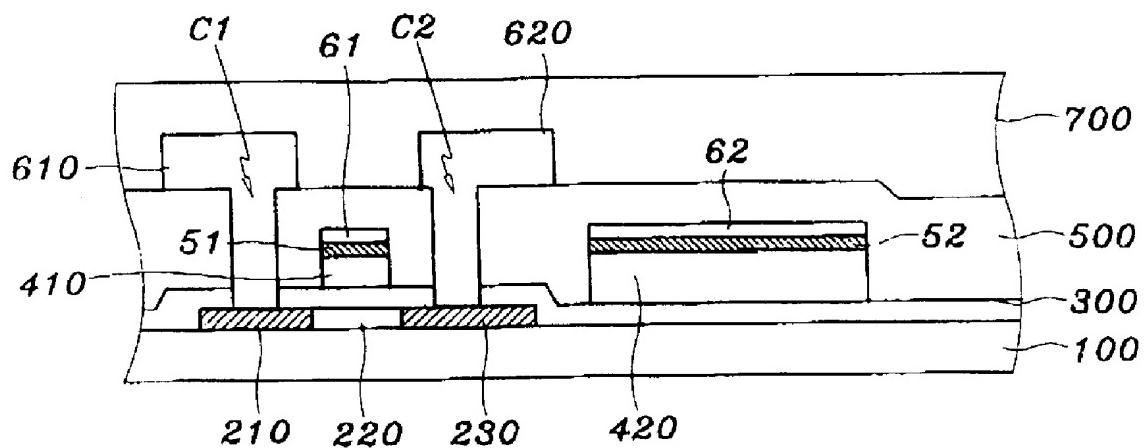


图 52I

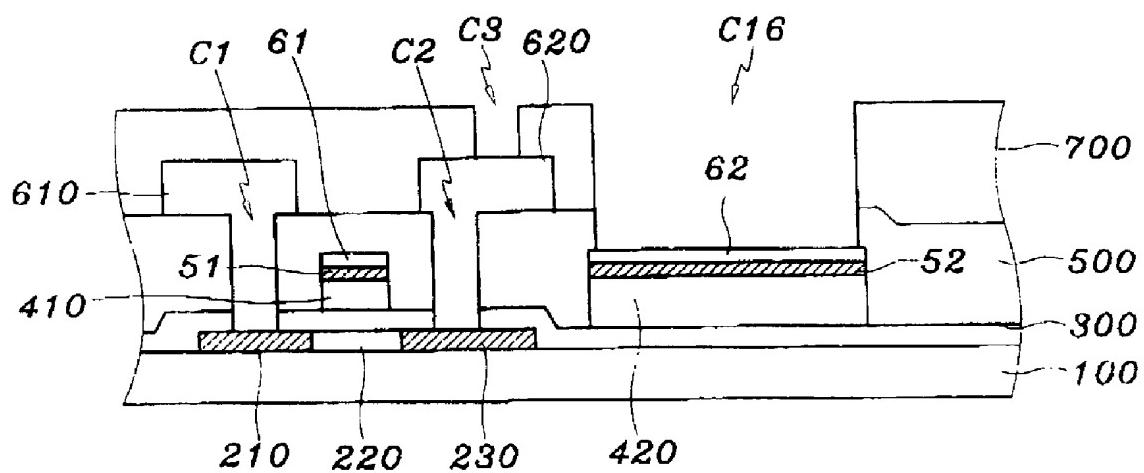


图 52J

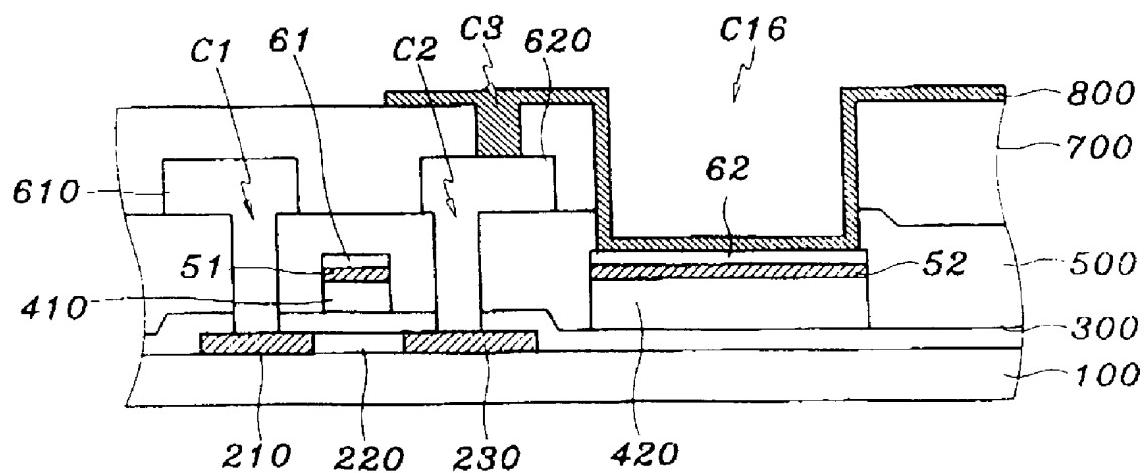


图 52K

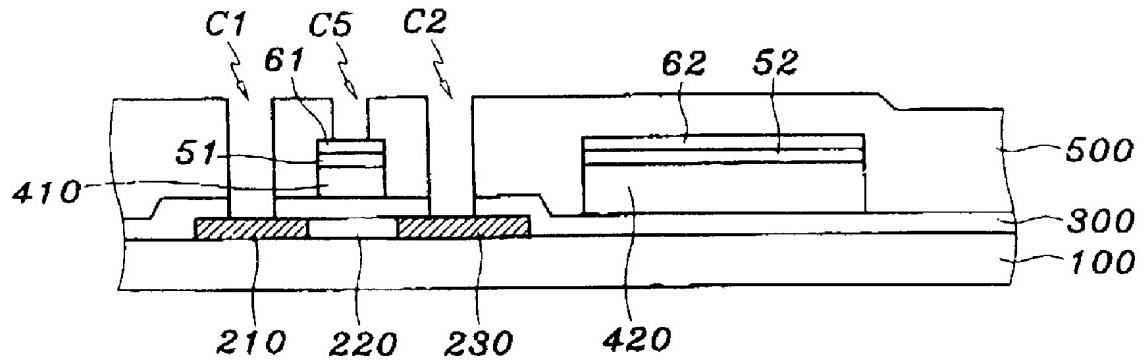


图 53A

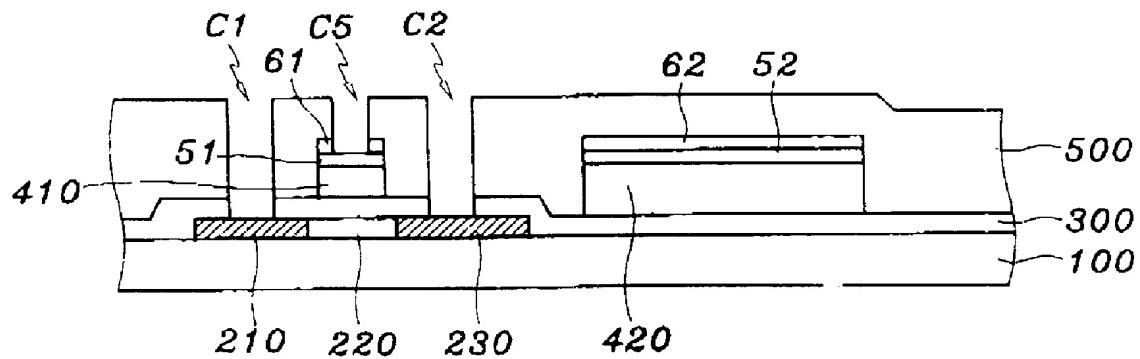


图 53B

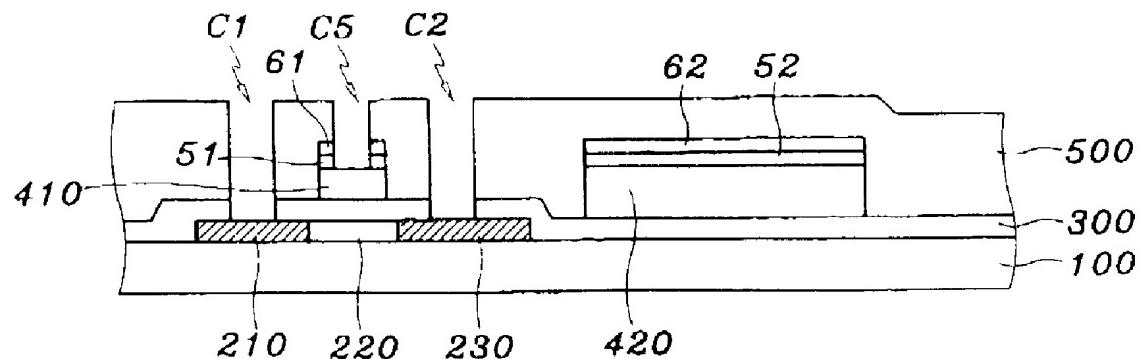


图 53C